

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044606

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H05K 3/32

H01L 21/60

(21)Application number : 11-218276

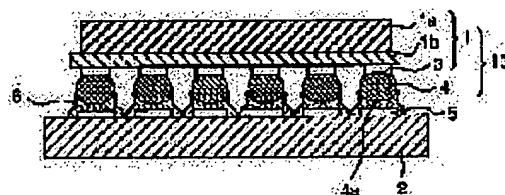
(71)Applicant : HITACHI LTD

(22)Date of filing : 02.08.1999

(72)Inventor : YOSHIMI KENJI  
SAEKI JUNICHI  
HOZOJI HIROYUKI  
SATO MASAOKI  
SAKAGAMI MASAKAZU**(54) MOUNTING STRUCTURE BODY OF SEMICONDUCTOR PACKAGE, ITS MOUNTING METHOD AND REWORK METHOD****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a mounting structure body of a semiconductor package wherein low temperature connection mounting of a multipin area bump type package such as a BGA package having area bumps and a CSP, on a wiring board having a plurality of terminal electrodes is enabled with high connection reliability, and rework (package exchange) is facilitated, and to obtain its mounting method and rework method.

**SOLUTION:** A mounting structure body of a semiconductor package is constituted by mounting a multipin area bump type package 10 having area bumps constituted of solder bumps 4 bonded to a plurality of metal pads 3, on a wiring board 2 having a plurality of terminal electrodes 5. Parts between the respective solder bump flattened surfaces 4a which are formed by arranging height of top parts of the plurality of solder bumps 4 and flattening the top parts and the respective terminal electrodes 5 are hardened so as to cover side surfaces of the respective solder bumps 4, by using conductive adhesive agent layer parts 6 in which adhesive agent base material contains conducting powder. As a result, connection mounting is electrically and mechanically performed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

**BEST AVAILABLE COPY**

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. Between each of a solder bump flat side and each of two or more of said terminal electrodes which arranged and carried out flattening of the height and formed it about two or more of said solder bumps' summit section so that each pewter bump's side face may be covered The mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, carrying out connection mounting electrically and mechanically, and constituting.

[Claim 2] The mounting structure of the semiconductor package according to claim 1 characterized by constituting said solder bump from a lead free-lancer.

[Claim 3] The mounting structure of the semiconductor package according to claim 1 characterized by constituting a part for said electroconductive glue layer from two or more layers.

[Claim 4] A multi-pin area bump mold package with the area bump who consists of a metal ball joined to two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. The mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder so that the side face of each metal ball may be covered for between each of two or more of said metal balls, and each of two or more of said terminal electrodes, carrying out connection mounting electrically and mechanically, and constituting.

[Claim 5] The mounting structure of the semiconductor package according to claim 1 or 4 characterized by using flake-like Ag or Ag-Pd as a principal component as said electric conduction powder.

[Claim 6] The mounting structure of the semiconductor package according to claim 1 or 4 characterized by being thermoplastics as said adhesives base material.

[Claim 7] The mounting structure of the semiconductor package according to claim 1 or 4 characterized by being thermosetting resin as said adhesives base material.

[Claim 8] A multi-pin area bump mold package with the area bump who consists of two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. So that each area bump's side face may be covered in the height of a request of between each of two or more of said metal pads, and each of two or more of said terminal electrodes The mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, carrying out connection mounting electrically and mechanically, and constituting.

[Claim 9] The mounting structure of the semiconductor package according to claim 8 characterized by constituting a part for said electroconductive glue layer from two or more layers.

[Claim 10] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, The formation process which forms a part for the electroconductive glue layer which made each solder bump correspond between each solder bump flat side which carried out flattening at this flattening process, and said each terminal electrode, and made the adhesives base material contain electric conduction powder, By heating a part for each electroconductive glue layer formed with this formation process at the temperature below said solder bump's melting point The mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted.

[Claim 11] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, The formation process which forms a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder on each solder bump flat side which carried out flattening at this flattening process, By heating a part for each electroconductive glue layer formed with this formation process at the temperature below said solder bump's melting point The mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted.

[Claim 12] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, On each solder bump flat side which carried out flattening at this flattening process, a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder is formed. Heating solidification or the formation process which carries out semi-hardening, By heating a part for heating solidification or each [ by which semi-hardening was carried out ] electroconductive glue layer at the temperature below said solder bump's melting point with this formation process The mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted.

[Claim 13] Claims 10 or 11 characterized for the bump side of a multi-pin area bump mold package by smooth and carrying in the constant plate of the quality of the material which is not damp in solder, and carrying out heating fusion of the solder bump at temperature only higher than the melting point of solder in said flattening process, or the mounting approach of a semiconductor package given in 12.

[Claim 14] Claims 10 or 11 characterized by part-izing the paste of electroconductive glue by print processes, and applying it in said formation process, or the mounting approach of a semiconductor package given in 12.

[Claim 15] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, On each solder bump flat side which carried out flattening at this flattening process, or said each terminal electrode, a part for the electroconductive glue layer of the 1st layer which

made the adhesives base material contain electric conduction powder is formed. Heating solidification or the formation process of the 1st layer which carries out semi-hardening, this -- the formation process of the 1st layer -- heating solidification or every by which semi-hardening was carried out -- between a part for an electroconductive glue layer and each terminal electrode of the 1st layer, or each solder bump flat side The formation process of the 2nd layer which forms a part for the electroconductive glue layer of the 2nd layer which made the adhesives base material contain electric conduction powder, this -- every formed with the formation process of the 2nd layer -- by heating a part for the electroconductive glue layer of the 2nd layer at the temperature below said solder bump's melting point each solder bump and each terminal electrode -- each solder bump's side face -- a wrap -- like -- every -- the mounting approach of the semiconductor package characterized by hardening by part for the electroconductive glue layer of the 1st layer and the 2nd layer, and having the connection mounting process which connects electrically and mechanically and is mounted.

[Claim 16] A multi-pin area bump mold package with the area bump who consists of a metal ball joined to two or more metal pads It is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes. Between said each metal ball and each terminal electrode The formation process which forms a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, By heating a part for each electroconductive glue layer formed with this formation process The mounting approach of the semiconductor package characterized by having the connection mounting process of hardening by part for an electroconductive glue layer, connecting electrically and mechanically, and mounting between each metal ball and each terminal electrode so that the side face of each metal ball may be covered.

[Claim 17] A multi-pin area bump mold package with the area bump who consists of two or more metal pads It is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes. On said each metal pad or said each terminal electrode, a part for the electroconductive glue layer of the 1st layer which made the adhesives base material contain electric conduction powder in desired height is formed. Heating solidification or the formation process of the 1st layer which carries out semi-hardening, this -- the formation process of the 1st layer -- heating solidification or every by which semi-hardening was carried out -- between a part for an electroconductive glue layer and each terminal electrode of the 1st layer, or each metal pad The formation process of the 2nd layer which forms a part for the electroconductive glue layer of the 2nd layer which made the adhesives base material contain electric conduction powder, this -- every formed with the formation process of the 2nd layer -- by heating a part for the electroconductive glue layer of the 2nd layer each metal pad and each terminal electrode -- every -- the mounting approach of the semiconductor package characterized by hardening by part for the electroconductive glue layer of the 1st layer and the 2nd layer, and having the connection mounting process which connects electrically and mechanically and is mounted.

[Claim 18] A multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads It is the rework approach of the semiconductor package exchanged and mounted to the wiring substrate which has two or more terminal electrodes. The process which heats a part for an electroconductive glue layer to said wiring substrate about the multi-pin area bump mold package by which connection mounting was carried out, weakens adhesive strength, and removes a multi-pin area bump mold package, Between each solder bump flat side which carried out flattening at the flattening process which carries out flattening of the summit section of two or more solder bumps of a new multi-pin area bump mold package collectively, and this flattening process, and said each terminal electrode By heating a part for each electroconductive glue layer formed with the formation process which forms a part for the electroconductive glue layer which made each solder bump correspond and made the adhesives base material contain electric conduction powder, and this formation process at the temperature below said solder bump's melting point Each solder bump and each terminal electrode so that each solder bump's side face may be covered The rework approach of the semiconductor package characterized by hardening by part for each electroconductive glue layer, having the connection mounting process which connects electrically and mechanically and is mounted, and having the

mounting process which carries out connection mounting of the new multi-pin area bump mold package at said wiring substrate.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to the rework approach at the mounting structure and its mounting approach list of the semiconductor package which mounted multi-pin area bump mold packages with an area bump, such as a BGA (Ball Grid Array) package and CSP (Chip Size Package), in the wiring substrate which has two or more terminal electrodes.

**[0002]**

**[Problem(s) to be Solved by the Invention]** The rate that ASIC for [ various ] controllers (Application Specified Integrated Circuit) to which the number of I/O pins is called the microprocessor of a 400 - 600 pin class, the chip set of a 300 - 400 pin class, and a graphic controller occupies on mounting substrates, such as current and a personal computer (PC:Personal Computer), is becoming large, and those numbers of pins are increasing every year from the demand of improvement in the speed of the I/O engine performance of the body of PC etc. In order to meet the demand of those increments in the number of I/O pins conventionally, narrow-ization of the pitch between pins of the package of circumference pin assignment, such as QFP (Quad Flat Package) and SOP (Single Outline Package), using a leadframe has been advanced. However, the rate that the BGA (Ball Grid Array) package which carries out area arrangement is adopted as a semiconductor package inferior surface of tongue is increasing the solder bump who is an I/O pin from the demand of the mounting top of soldering etc., that \*\* pitch-ization serves as a limitation from the problem of dependability with 0.5mm pitch extent practically, and the above-mentioned above-mentioned improvement in the speed and miniaturization. Moreover, since a miniaturization and the formation of many pins are possible for a BGA package also in a comparatively coarse pitch compared with the package of circumference pin assignment, it is further adopted as the semiconductor package of many pins and a high speed, and is spreading. However, with the mounting structure of BGA, the technical problem that a rework, i.e., package exchange, is difficult occurs. The rework approach after substrate mounting after BGA package soldering is electronics mounting technology; vol.12. No.1 pp 48-52 and the hot blast nozzle approach like the publication to 1996.1 are learned.

**[0003]** In the case of BGA, the soldered-joint section is between a package and a mounting substrate, and since it has structure which hid in the package lower part, melting of the solder will mainly be carried out by heat conduction from a package body. Therefore, the heat amount of supply increases and the skin temperature of an actual mounting substrate has become to 210 to 240 degrees C also in Pb-Sn system eutectic solder with a melting point of 183 degrees C. Thus, in connection and a rework of a BGA package, since an elevated temperature [ skin temperature / of a mounting substrate ], it had the following technical problems.

- (1) The circumference components of a rework package must also be exchanged.
- (2) Since the glass transition point (Tg) of the glass epoxy group plate by which current adoption is carried out is about 130 degrees C, curvature deformation of a substrate is large and a setup of rework process conditions, such as a substrate manner of support for the correction, takes great time amount to

it.

(3) Since the pad on a mounting substrate deteriorates and exfoliates according to partial heating and the solder leveling activity at the time of a rework, the count of a rework is restricted.

[0004] Since the heat convection under a package also becomes difficult when it is in the inclination to go up by about 30 degrees C from 20 compared with the case where the process temperature itself is the further above-mentioned Pb-Sn system solder when adoption of the solder bump of a present Sn-Ag-Cu system or soldering paste progresses, from the demand of the formation of Pb free solder on the other hand and the pitch and the diameter of a ball of a solder ball become small, a soldered joint and a rework process become still more difficult.

[0005] moreover, as an approach of making low-temperature connection using electroconductive glue, an LSI chip Au bump is formed on an LSI electrode like law. SBB given in the patent No. 2574369 official report -- An electroconductive glue layer is formed by \*\*\*\*\*ing Au bump to the conductive paste which distributed Ag flake, after carrying out flattening of the top-most vertices. The example which fills up the gap of LSI and a substrate with thermosetting insulation adhesives, and is making the last connection after electric temporary connection termination, There is an example which supplies the anisotropy electroconductive glue filled up with the metal ball etc. into the shape of a film and a gel adhesives layer on the electrode of a substrate, and performs restoration by the thermosetting insulation adhesives between electrical installation, and LSI/substrate to coincidence by thermocompression bonding the back.

[0006] However, in the technique of these former, since it was a thing for the LSI chip of the magnitude of 12mm [ a maximum of ] angle extent, it was taken into consideration neither about the adhesive strength for absorbing required curvature deformation to connection of a large-sized package, nor reservation of connection height.

[0007] Moreover, the above-mentioned conventional technique is for making temporary connection strictly electric to connection of an LSI chip about electroconductive glue, and is attained about final mechanical dependability reservation by filling up a connection with thermosetting insulating adhesives, or raising the increase of the inter-electrode adhesion of an LSI chip and a substrate, and electric connectability according to the hardening shrinkage force of the base material of anisotropy electric conduction adhesives. Therefore, by the above-mentioned conventional technique, it had the technical problem that the rework after the last connection was difficult.

[0008] it be for provide the rework approach to the mounting structure and its mounting approach list of the semiconductor package which carried out low-temperature connection mounting to the purpose of this invention be also at connection dependability high to the wiring substrate which have two or more terminal electrodes for multi-pin area bump mold packages with an area bump , such as a BGA (Ball Grid Array ) package and CSP (Chip Size Package ) , that the above-mentioned technical problem should be solve possible , and made the rework (package exchange ) easy . Moreover, other purposes of this invention are to provide the wiring substrate which has two or more terminal electrodes for multi-pin area bump mold packages with an area bump, such as a BGA package and CSP, with the mounting structure and its mounting approach of the semiconductor package which carried out connection mounting to it being also at high connection dependability possible.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention a multi-pin area bump mold package with the area bump who consists of a solder bump joined to two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. Between each of a solder bump flat side and each of two or more of said terminal electrodes which arranged and carried out flattening of the height and formed it about two or more of said solder bumps' summit section so that each pewter bump's side face may be covered It is the mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, carrying out connection mounting electrically and mechanically, and constituting. Moreover, this invention is characterized by constituting a solder bump from a lead free-



lancer in the mounting structure of said semiconductor package. Moreover, this invention is characterized by constituting a part for an electroconductive glue layer from two or more layers in the mounting structure of said semiconductor package.

[0010] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the metal ball joined to two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. It is the mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder so that the side face of each metal ball may be covered for between each of two or more of said metal balls, and each of two or more of said terminal electrodes, carrying out connection mounting electrically and mechanically, and constituting. Moreover, this invention is characterized by using flake-like Ag or Ag-Pd as a principal component as electric conduction powder in the mounting structure of said semiconductor package. Moreover, this invention is characterized by being thermoplastics as an adhesives base material in the mounting structure of said semiconductor package. Thus, when an adhesives base material is thermoplastics, it can carry out easily about a rework. Moreover, this invention is characterized by being thermosetting resin as an adhesives base material in the mounting structure of said semiconductor package.

[0011] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from two or more metal pads It is the mounting structure of the semiconductor package constituted by mounting in the wiring substrate which has two or more terminal electrodes. So that each area bump's side face may be covered in the height of a request of between each of two or more of said metal pads, and each of two or more of said terminal electrodes It is the mounting structure of the semiconductor package characterized by hardening by part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, carrying out connection mounting electrically and mechanically, and constituting.

[0012] Moreover, this invention is characterized by constituting a part for an electroconductive glue layer from two or more layers in the mounting structure of said semiconductor package. Moreover, this invention is characterized by constituting possible [ a rework (package exchange) ] in the mounting structure of said semiconductor package. Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, The formation process which forms a part for the electroconductive glue layer which made each solder bump correspond between each solder bump flat side which carried out flattening at this flattening process, and said each terminal electrode, and made the adhesives base material contain electric conduction powder, By heating a part for each electroconductive glue layer formed with this formation process at the temperature below said solder bump's melting point It is the mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted.

[0013] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, The formation process which forms a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder on each solder bump flat side which carried out flattening at this flattening process, By heating a part for each electroconductive glue layer formed with this formation process at the temperature below said solder bump's melting point It is the mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each

terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted. By the way, in the mounting approach of said semiconductor package, when using thermoplastic electroconductive glue, it is solidifying by volatilizing and removing the solvent in conductive paste with heating with a formation process, changing a part for an electroconductive glue layer into a melting condition at a connection mounting process, and connecting with a solder bump and a terminal electrode. Moreover, when using thermosetting electroconductive glue, it is changing into a semi-hardening condition with a formation process, stiffening a part for an electroconductive glue layer completely at a connection mounting process, and connecting with a solder bump and a terminal electrode. At this time, the connection stabilized further is obtained by pressurizing a part for an electroconductive glue layer through a package.

[0014] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, On each solder bump flat side which carried out flattening at this flattening process, a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder is formed. Heating solidification or the formation process which carries out semi-hardening, By heating a part for heating solidification or each [ by which semi-hardening was carried out ] electroconductive glue layer at the temperature below said solder bump's melting point with this formation process It is the mounting approach of the semiconductor package characterized by having the connection mounting process which hardens each solder bump and each terminal electrode by part for each electroconductive glue layer so that each solder bump's side face may be covered, connects them electrically and mechanically, and is mounted. According to this approach, it becomes possible to save the semiconductor package which has a part for each electroconductive glue layer by which heating solidification was carried out with the formation process at a room temperature temporarily, using thermoplasticity as electroconductive glue. Moreover, in the flattening process in the mounting approach of said semiconductor package, it carries in the constant plate of the quality of the material which is not damp in solder, and this invention is characterized for the bump side of a multi-pin area bump mold package by smooth and carrying out heating fusion of the solder bump at temperature only higher than the melting point of solder. Moreover, in the flattening process in the mounting approach of said semiconductor package, in case this invention carries out heating fusion of the solder bump at temperature only higher than the melting point of solder, it is characterized by carrying out heating fusion about 60 seconds or more, carrying out the load of the load of self-weight extent of a package. Moreover, this invention is characterized by carrying out the paste of electroconductive glue part-ization (localization: patternizing for almost circular or a square) by print processes, and applying it in the formation process in the mounting approach of said semiconductor package. Moreover, this invention is characterized by carrying out alignment of a solder bump and the connection terminal in the connection mounting process in the mounting approach of said semiconductor package.

[0015] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the solder bump joined to two or more metal pads The flattening process which is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes, and carries out flattening of the summit section of two or more solder bumps of said multi-pin area bump mold package collectively, On each solder bump flat side which carried out flattening at this flattening process, or said each terminal electrode, a part for the electroconductive glue layer of the 1st layer which made the adhesives base material contain electric conduction powder is formed. Heating solidification or the formation process of the 1st layer which carries out semi-hardening, this -- the formation process of the 1st layer -- heating solidification or every by which semi-hardening was carried out -- between a part for an electroconductive glue layer and each terminal electrode of the 1st layer, or each solder bump flat side The formation process of the 2nd layer which

forms a part for the electroconductive glue layer of the 2nd layer which made the adhesives base material contain electric conduction powder, this -- every formed with the formation process of the 2nd layer -- by heating a part for the electroconductive glue layer of the 2nd layer at the temperature below said solder bump's melting point each solder bump and each terminal electrode -- each solder bump's side face -- a wrap -- like -- every -- it is the mounting approach of the semiconductor package characterized by hardening by part for the electroconductive glue layer of the 1st layer and the 2nd layer, and having the connection mounting process which connects electrically and mechanically and is mounted. Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the metal ball joined to two or more metal pads It is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes. Between said each metal ball and each terminal electrode The formation process which forms a part for the electroconductive glue layer which made the adhesives base material contain electric conduction powder, By heating a part for each electroconductive glue layer formed with this formation process It is the mounting approach of the semiconductor package characterized by having the connection mounting process of hardening by part for an electroconductive glue layer, connecting electrically and mechanically, and mounting between each metal ball and each terminal electrode so that the side face of each metal ball may be covered.

[0016] Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from two or more metal pads It is the mounting approach of the semiconductor package mounted in the wiring substrate which has two or more terminal electrodes. On said each metal pad or said each terminal electrode, a part for the electroconductive glue layer of the 1st layer which made the adhesives base material contain electric conduction powder in desired height is formed. Heating solidification or the formation process of the 1st layer which carries out semi-hardening, this -- the formation process of the 1st layer -- heating solidification or every by which semi-hardening was carried out -- between a part for an electroconductive glue layer and each terminal electrode of the 1st layer, or each metal pad The formation process of the 2nd layer which forms a part for the electroconductive glue layer of the 2nd layer which made the adhesives base material contain electric conduction powder, this -- every formed with the formation process of the 2nd layer -- by heating a part for the electroconductive glue layer of the 2nd layer each metal pad and each terminal electrode -- every -- it is the mounting approach of the semiconductor package characterized by hardening by part for the electroconductive glue layer of the 1st layer and the 2nd layer, and having the connection mounting process which connects electrically and mechanically and is mounted. Moreover, a multi-pin area bump mold package with the area bump which this invention becomes from the solder bump joined to two or more metal pads It is the rework approach of the semiconductor package exchanged and mounted to the wiring substrate which has two or more terminal electrodes. The process which heats a part for an electroconductive glue layer to said wiring substrate about the multi-pin area bump mold package by which connection mounting was carried out, weakens adhesive strength, and removes a multi-pin area bump mold package, Between each solder bump flat side which carried out flattening at the flattening process which carries out flattening of the summit section of two or more solder bumps of a new multi-pin area bump mold package collectively, and this flattening process, and said each terminal electrode By heating a part for each electroconductive glue layer formed with the formation process which forms a part for the electroconductive glue layer which made each solder bump correspond and made the adhesives base material contain electric conduction powder, and this formation process at the temperature below said solder bump's melting point Each solder bump and each terminal electrode so that each solder bump's side face may be covered It is the rework approach of the semiconductor package characterized by hardening by part for each electroconductive glue layer, having the connection mounting process which connects electrically and mechanically and is mounted, and having the mounting process which carries out connection mounting of the new multi-pin area bump mold package at said wiring substrate.

[0017] As explained above, according to said configuration, a rework at low temperature is attained from the solder melting point of a semiconductor package. That is, in a thermosetting case, with heating,

in a thermoplastic case, when an adhesives base material fuses, if an adhesives base material exceeds a glass transition point, when adhesive strength declines remarkably, a solder bump and a terminal inter-electrode connection can be separated, and a rework at low temperature will be attained. Moreover, according to said configuration, since it was made to carry out flattening of the summit part of the solder bump of a semiconductor package, formation for an electroconductive glue layer can be made easy, and a solder bump's height dispersion can be made small, moreover dispersion in the connection area by electroconductive glue can be made small, and the dependability of the connection between a solder bump and a terminal electrode can be raised.

[0018]

[Embodiment of the Invention] The mounting structure of the semiconductor package concerning this invention and the gestalt of operation of the mounting approach are explained using a drawing. Drawing 1 is the sectional view showing the gestalt of the 1st and operation of the 2nd of the mounting structure of the semiconductor package concerning this invention. First, the gestalt of operation of the 1st of the mounting structure of the semiconductor package concerning this invention is explained using drawing 1 and drawing 2. Drawing 2 is the sectional view which expanded near [ in the gestalt of the 1st operation ] the connection. Namely, the mounting structure of the semiconductor package concerning this invention The wiring substrates 2, such as a glass epoxy group plate which arranged and formed two or more terminal electrodes 5 for carrying multi-pin area bump mold packages, such as a BGA (Ball Grid Array) package or CSP (Chip Size Package), An LSI chip is mounted on substrate 1b, such as the small ceramic and glass epoxy with which two or more metal pads 3 arranged, and were prepared, and a resin film. The multi-pin area bump mold package body package-ized 1a Carried out (it is also called a LGA (Land grid Array) package body.) It is joined on 1 and the metal pad 3 of this multi-pin area bump mold package body 1. The multi-pin area bump mold package 10 which consists of a solder bump 4 who consists of Pb-Sn eutectic solder which arranged height with the bump connection and formed the flat side, lead-free soldering, etc., Between each of this solder bump's 4 flat side 4a and each terminal electrode 5 consists of parts for the electroconductive glue layer 6 thermosetting [ of the shape of a solid-state taken and pasted up ], or thermoplastic (the electroconductive glue layer according to each solder bump is the pattern of almost circular or a square) in an electric flow. In addition, as a part for this electroconductive glue layer 6, it is constituted from two-layer 6a and 6b by the gestalt of the 2nd operation which is shown in drawing 2 and which one-layer 6a is consisted of with the gestalt of the 1st operation, and is shown in drawing 6. Moreover, as electroconductive glue for constituting a part for this electroconductive glue layer 6, it is a thermoplastic or thermosetting thing connectable at low temperature from the above-mentioned solder bump's 4 melting point.

[0019] Two or more metal pads 3 which mainly consist of Cu (for example, it covers with Au etc. to Cu and formed in it.) are formed in substrate 1b of the multi-pin area bump mold package body 1, and the solder bump 4 who consists of Pb-Sn eutectic solder which arranged height and carried out flattening of the top-most-vertices top, lead-free soldering, etc. is being soldered and (fused junction) fixed on these metal pad 3. As lead-free soldering, that whose melting point of alloy solder, such as alloy solder, such as Sn-Ag-Cu, and Sn-Ag-Cu-Bi, etc. is 190 degrees C - about 220 degrees C, for example can be considered. In the case of Pb-Sn eutectic solder, the melting point becomes low with 180 degrees C - about 190 degrees C.

[0020] As shown in drawing 4 and drawing 7, covering the solder bump 4 of a large number formed in the semiconductor package (multi-pin area bump mold package) 10, arranging and carrying out flattening of the height to those top-most vertices, and especially forming flat side 4a In order to make it easy to form electroconductive glue layer part (electroconductive glue layer pattern) 11a by screen-stencil etc., Furthermore, while making a solder bump's height dispersion small, it is for raising conductive connection of a connection, and the dependability of adhesion by making small dispersion in the connection area by electroconductive glue. And it only sets between each [ these ] solder bump's 4 flat side and each terminal electrode 5 by which alignment was carried out. The thermosetting or thermoplastic electroconductive glue partially formed of screen-stencil etc. Electric connection by the electric conduction powder which uses as a principal component flake-like Ag or Ag-Pd contained in

electroconductive glue, and mechanical adhesion connection by the adhesives base material of electroconductive glue will be made by making it heat and harden at the temperature below \*\*\*\* of solder Bengbu. Under the present circumstances, when using thermoplastic electroconductive glue, it is desirable to connect each solder bump 4 and each terminal electrode 5 by solidifying by volatilizing and removing the solvent in conductive paste with heating to a part for each electroconductive glue layer applied by screen-stencil etc. (printing) (each conductive paste part), changing a part for each of this solidified electroconductive glue layer into a melting condition, and hardening it in a connection mounting process, after that. Moreover, when using thermosetting electroconductive glue, it is desirable to change into a semi-hardening condition, to heat a part for each electroconductive glue layer of this semi-hardening condition in a connection mounting process after that, to harden completely, and to connect each solder bump 4 and each terminal electrode 5 by heating to a part for each electroconductive glue layer applied by screen-stencil etc. (printing) (each conductive paste part).

[0021] Here, as thermosetting electroconductive glue, the adhesives base material which mainly consists of an epoxy resin etc., and die length use [ a diameter ] the thing containing the electric conduction powder which uses as a principal component flake-like Ag or Ag-Pd it is [ Ag-Pd ] 0.6 micrometers - about 2 micrometers by 5 micrometers - about 20 micrometers. As thermoplastic electroconductive glue, the adhesives base material which mainly consists of urethane resin etc. and which changes, and die length use [ a diameter ] the thing containing the electric conduction powder which uses as a principal component flake-like Ag or Ag-Pd it is [ Ag-Pd ] 0.6 micrometers - about 2 micrometers by 5 micrometers - about 20 micrometers.

[0022] Since the solder bump 4 of a large number formed in the semiconductor package (multi-pin area bump mold package) 10 is covered, flattening of the height is arranged and carried out to those top-most-vertices sections and flat side 4a is formed as explained above. Cover the solder bump of above-mentioned a large number in between each solder bump's 4 flat side 4a, and each terminal electrode 5, and homogeneity is maintained. Only by forming a part for the electroconductive glue layer 6 (6a / 6a and 6b) partially between each solder bump's 4 flat side 4a and each terminal electrode 5 which counter as a result. About the same electric and mechanical high connection dependability as a soldered joint is securable without under-filling for a semiconductor package 10 for the wiring substrate 2 with the group for the electroconductive glue layer 6 of these large number (set). In addition, the side face of a solder bump's flat side 4a is also covered only, and electroconductive glue layer part (electroconductive glue layer pattern) 6a for every each of the solder bump 4 and the terminal electrode 5 makes it a wrap thing also about the terminal electrode 5, as shown in drawing 2. That is, each of many solder bumps 4 who arrange the height in a semiconductor package 10 and have flat side 4a is electrically connected by electroconductive glue layer 6a locally prepared in the location corresponding to each of the terminal electrode 5 in the wiring substrate 2, and the mounting structure of the semiconductor package concerning this invention has mounting structure by which adhesion connection was made mechanically.

[0023] Therefore, two or more semiconductor packages 21 as shown in drawing 4 (10), 22 (10) and 23 (10) from the mounting structure 20 of the semiconductor package mounted in the wiring substrate 2. In case the desired semiconductor package 21 (10) is exchanged and reworked, when electroconductive glue layer 6a is thermoplasticity Heat so that melting of the base material of adhesives may be carried out, reduce adhesive strength remarkably, and when electroconductive glue layer 6a is thermosetting By heating so that the temperature of a base material may exceed a glass transition point (about 130 degrees C), and reducing adhesive strength remarkably the connection between the solder bump [ in / easily / the desired semiconductor package 21 (10) ] 4, and the terminal electrode 5 -- removing (separation) -- it becomes possible and a rework (package exchange) can be easily made possible. That is, a rework at low temperature is attained from the melting point of the solder bump of the desired semiconductor package 21 (10). Furthermore, in the mounting structure of the semiconductor package concerning this invention which gave [ above-mentioned ] explanation, since electroconductive glue layer 6a prepared between each solder bump 4 of a semiconductor package 10 and each terminal electrode 5 of the wiring substrate 2 absorbs the stress produced according to the difference of the coefficient of thermal

expansion between the semi-conductor package body 1 and the wiring substrate 2, high connection dependability is securable.

[0024] Next, the 1st example of the mounting approach for acquiring the gestalt of operation of the 1st of the mounting structure of the semiconductor package (multi-pin area bump mold package) concerning this invention is explained using drawing 4 and drawing 5. Drawing 4 and drawing 5 are the sectional views showing change of the mounting structure of a semiconductor package. First, from drawing 4 (a), as shown in drawing 5 (b) from drawing 4 (b) and drawing 5 (a) For example, with an adsorption nozzle, adsorb the semiconductor package 10 with the solder bump 4, and it is conveyed. The solder bump 4 side is turned down and there is almost no curvature deformation also at smooth and an elevated temperature. After carrying on the constant plate 7 of the quality of the material which is not damp in solder, for example, a ceramic and glass, height is arranged and formed about flat side 4a which is made to carry out heating melting of the solder bump 4, carries out flattening of the top-most-vertices section only by the self-weight of flux nothing and a package, and becomes an adhesion side. Here, it is desirable to consider as temperature high 20 degrees C - about 30 degrees C, and to carry out a reflow about 60 seconds or more from the melting point of solder, as the solder bump's 4 flattening temperature. When a line arranges height for about 50% or more of flat side 4a of a diameter and forms these processes in the solder bump's 4 top-most-vertices section beforehand, it becomes possible to make easy formation by paste printing of electroconductive glue layer (thermoplastic or thermosetting electroconductive glue) 11a to each solder bump's flat side 4a after that.

[0025] That is, the mounting object of smooth and the semiconductor package which could make a solder bump's planarizing process easy, could obtain about 50% or more of flat side 4a of a solder ball diameter, and was further excellent in connection dependability by carrying out by carrying out heating melting after carrying in the constant plates 7, such as the quality of the material which does not get wet in solder, for example, glass, and a ceramic, can be acquired [ flattening of the solder bump's 4 summit section ] for the solder bump side of a semiconductor package 10. It is also possible by being below 0.02gf(s) / bump extent, and pressurizing a semiconductor package at the time of this heating melting, to control the area of the flattening section. In addition, it is also possible in the top-most-vertices side of the solder bump 4 of the area bump package 10 smooth and to carry out by putting in block the solder bump's 4 melting, flattening, and the process to cooling by carrying in the constant plate 7 of the quality of the material which is not damp in solder, conveying in a reflow furnace after that, and carrying out heating melting of the solder bump 4. Moreover, about a solder bump, the area and the bump height which carry out flattening can also be adjusted by adding a load from a package top face at this time. In the above-mentioned example, although heating melting is performing the solder bump's 4 flattening, if an excessive load is not added to a package body 1 in order to perform flattening which makes smooth uniformly a top-most-vertices side and height by pressurizing and heating the above-mentioned solder bump 4 below with the melting point, it is impossible. Therefore, since it corresponds to especially many pin-ization, while a solder bump lead-free-soldering-izes by increase and a package being enlarged by the number of bumps and the melting point becomes high, solder bump flattening by pressurization heating below the solder melting point becomes increasingly difficult. Therefore, flattening more than the solder melting point which can carry out flattening of the solder bump without carrying out the load of the big load to a package becomes effective.

[0026] Next, as shown in drawing 4 (c), it is reversed and holds so that the flat side of the solder bump 4 of a semiconductor package 10 may turn into a top face, and paste-like thermosetting or thermoplastic electroconductive glue 11a is locally applied only to the solder bump's 4 summit section for opening of the metal mask 8 with screen printing after alignment at the summit section of this reversed solder bump 4. In this case, as shown in drawing 5 (c), paste-like thermosetting or thermoplastic electroconductive glue 11a is locally applied only to the terminal electrode 5 for opening of the metal mask 8 with screen printing after alignment at the terminal electrode 5 on the wiring substrate 2. Thus, when it applies, in the case of thermoplastic electroconductive glue, it may heat after that, solvent volatilization processing may be carried out, and temporary solidification may be carried out. Moreover, a semi-hardening condition will be acquired only by leaving it in the case of thermosetting electroconductive glue, without



heating. In addition, paste-like electroconductive glue 11a may be screen-stenciled locally (partially), and may be formed in the terminal electrode 5 side of the wiring substrate 2.

[0027] Moreover, in any [ of drawing 4 (c) and drawing 5 (c) ] case, the thickness of the metal mask 8 is the curvature deformation at the time of semiconductor package mounting (curvature deformation of the wiring substrate 2 or a semiconductor package 10.). however, about the curvature deformation of a semiconductor package 10 since a 30 degrees C - about 40 degrees C difference arises using a part for an electroconductive glue layer between the temperature at the time of carrying out connection mounting of between a solder bump and terminal electrodes with the temperature at the time of forming flat side 4a of solder Bngbu 4, it follows on this temperature gradient. And the volume decrement by solvent volatilization of electroconductive glue (since it is put into about 50% of solvent by the volume ratio and is made the shape of a paste when electroconductive glue is thermoplasticity, the volume decrement by solvent volatilization becomes large.) It takes into consideration and determines. That is, the thickness for the electroconductive glue layer to which the thickness of the metal mask 8 can absorb curvature deformation of the solder bump's 4 height dispersion and wiring substrate 2 which carried out flattening of the summit section, and a semiconductor package 10 (80 micrometers - about 100 micrometers) should just be obtained. Thus, if a part for an electroconductive glue layer is applied by the screen-stencil approach, it will become possible to form a part for an electroconductive glue layer easily also to the semiconductor package 10 with more many solder bumps. Moreover, in case it screen-stencils, a part for a uniform electroconductive glue layer with few blots of a conductive paste is obtained also to the solder bump's 4 summit section by maintaining a suitable distance of 100 micrometers - about 200 micrometers in a gap with flat side 4a of the metal mask 8 and the solder bump 4, or the terminal electrode 5. moreover, as electroconductive glue stratification methods other than the screen printing which, in addition to this, forms local electric conduction adhesives layer part 11a connectable at low temperature from solder on the metal electrode 5 of the solder bump's 4 flat side 4a, and the wiring substrate 2 Although the technique of imprinting the thermoplastic conductive binder of the shape of the approach of imprinting conductive paste or a sheet and thermosetting non-hardened electric conduction adhesives by thermocompression bonding is also considered There are the amount of conductive paste imprints and amount dispersion of electric conduction adhesives sheet imprints, and since configuration control of local electroconductive glue layer 11a is also difficult, print processes, such as a screen, are the the best for connection of a BGA bump and a rework (package exchange) application.

[0028] With for example, the solder bump [ then, ] 4 of the semiconductor package 10 which formed electroconductive glue 11a partially as shown in a reflow furnace at drawing 4 R> 4 (d) By carrying out alignment of the terminal electrode 5 of the wiring substrate 2, carrying it, and heating below with the solder bump's 4 melting point The mounting structure of a semiconductor package as electric connection and mechanical adhesion connection are made through electroconductive glue layer part 6a and shows the solder bump 4 and the terminal electrode 5 to drawing 4 (e) can be obtained. The above-mentioned alignment In addition, for example, the image which observes optically the terminal electrode 5 or reference mark (not shown) of the request on the wiring substrate 2 laid on the stage (not shown), and is obtained, For example, electroconductive glue layer part 11a formed in the solder bump 4 of a semiconductor package 10 or flat side 4a held at the vacuum chuck is observed optically. It is realizable by controlling the relative location of the above-mentioned stage and a vacuum chuck based on the image obtained. Moreover, by carrying out alignment of the solder bump 4 of a semiconductor package 10, and the terminal electrode 5 of the wiring substrate 2 which formed electroconductive glue 11a partially, carrying them, as shown in drawing 5 (d), and heating below with the solder bump's 4 melting point The mounting structure of a semiconductor package as electric connection and mechanical adhesion connection are made through electroconductive glue layer part 6a and shows the solder bump 4 and the terminal electrode 5 to drawing 5 (e) can be obtained. In the above-mentioned case, when a solvent is volatilized with thermoplastic electric conduction adhesives and an adhesives component fuses, with thermosetting electric conduction adhesives, it connects by the heat-curing reaction again. In addition, since it is what takes the electric flow between the solder bump 4 and the terminal electrode 5, and makes electric connection by sticking the electric conduction powder which uses as a principal

component flake-like Ag or Ag-Pd contained in electroconductive glue in this case, it is desirable to apply a pressure between the wiring substrate 2 and a semiconductor package 10. However, in the case of thermoplastic electroconductive glue, even if this pressure is weak, it can perform positive electrical installation.

[0029] By the way, in the reworking semiconductor package 10, in using a thermoplastic thing as electroconductive glue 11a, the material awaiting disposition in a room temperature becomes possible by 5min extent's carrying out time amount maintenance of the conductive paste at about 150 degrees C after spreading locally by screen-stencil etc. at the solder bump 4 side of the reworking semiconductor package 10, carrying out volatilization removal of the solvent, and making it the shape of a solid-state. And in carrying on the wiring substrate 2 and connecting as shown in drawing 4 (d) in order to rework the semiconductor package 10 stored temporarily at this room temperature, the pressurization other than heating is needed by the relation in which volatilization removal of many of solvents is carried out, and electroconductive glue is made the shape of a solid-state. The welding pressure in this case has the desirable range of 4 - 40gf / bump extent in a BGA package with a pitch of about 0.8 to 1.27mm. As mentioned above, the mounting structure of a semiconductor package as the adhesion connection by electroconductive glue layer part 6a of a semiconductor package 10 completed from drawing 4 (a) according to the process shown in drawing 4 (d) and drawing 5 (d) from drawing 5 (a) and shown in drawing 4 (e) and drawing 5 (e) can be obtained. As explained above, at low temperature rather than the solder bump's 4 melting point electroconductive glue layer part 11a in which adhesion connection is possible It is made to form locally only between the solder bump's 4 flat side 4a, and the terminal electrode 5. the solder bump's 4 melting point -- low temperature -- heating -- between the solder bump's 4 flat side 4a, and the terminal electrodes 5 -- setting -- the above -- since it constituted so that adhesion connection also including electric connection might be made through local adhesives layer 6a, the low-temperature rework of a semiconductor package 10 can be enabled.

[0030] Moreover, if the adhesion of thermoplastic conductive paste 11a before the printed thermosetting or solvent volatilization is used, it is possible to prevent the location gap from the terminal electrode 5 of the package bump 4 in a semiconductor package loading-heating connection process. Moreover, since what is necessary is just to heat local electroconductive glue 11a below with the solder bump's 4 melting point, a rework also becomes possible using a reflow furnace etc. Moreover, absorption of height dispersion of the solder bump 4 of a semiconductor package 10 is also possible by conductive paste 11a at the time of connection of a semiconductor package 10. Moreover, since according to this method it constituted so that solder bump height dispersion of a semiconductor package might be arranged by forming flat side 4a in the solder bump's 4 summit section, and might be absorbed and the curvature of the wiring substrate 2 or a semiconductor package 10 might be made to absorb by conductive paste 11a, the connection and the rework of a difficult semiconductor package of connection by heating by which the pressurization of a semiconductor package is accompanied are also attained. In addition, as for the curing temperature of thermosetting electric conduction adhesives, or the connection temperature of thermoplastic electric conduction adhesives, it is desirable that it is the range of about 130 to 160 that does not exceed greatly 130 degrees C of glass transition points of the mounting substrate (wiring substrate) 2 degrees C.

[0031] Next, the gestalt of operation of the 2nd of the mounting structure of the semiconductor package concerning this invention is explained using drawing 1 and drawing 6. Drawing 6 is the sectional view which expanded near [ in the gestalt of the 2nd operation ] the connection. In the gestalt of the 2nd operation, constituting a part for the electroconductive glue layer 6 formed between the flat side of the solder bump 4 of a package 1 and the terminal electrode 5 of the wiring substrate 2 from two-layer 6a and 6b has the configuration which is different from the gestalt of the 1st operation. If in the case of the gestalt of this 2nd operation electroconductive glue layer part 6a of a two-layer eye is equivalent to electroconductive glue layer part 6b of the 1st layer or is the configuration which can be pasted up at the low temperature not more than it, whether electroconductive glue layer part 6a of a two-layer eye is thermosetting or thermoplasticity, it is a paste-like or it being a solid-state-like, and a gestalt will not be asked. Moreover, it is also possible to make still easier the low-temperature rework of a semiconductor



package 10 by making parts for the electric conduction adhesives layer 6a and 6b of the two-layer configuration from which properties, such as adhesion temperature and coefficient of thermal expansion, differ form. Here, electric conduction adhesives layer part of 1st layer 6b is a layer holding connection height, and electric conduction adhesives layer part 6a of a two-layer eye works as a layer which absorbs the solder bump's 4 height dispersion (height dispersion which could not be absorbed when flat side 4a was especially formed in the solder bump's 4 summit section). By making it the above-mentioned configuration, even if there is height dispersion of a semiconductor package 1, it is possible to secure the height of minimum electroconductive glue, and higher connection dependability can be acquired.

[0032] The 2nd example of the mounting approach for acquiring the gestalt of operation of the 2nd of the mounting structure of the semiconductor package (multi-pin area bump mold package) concerning this invention is explained using drawing 7 and drawing 8. When shown in drawing 7, as shown in drawing 7 R> 7 (c), (1) paste-like electroconductive glue 11b was applied to the above-mentioned solder bump's 4 flat side 4a with screen printing, and carries out afterbaking to it. Hardness, (2) after forming 1st layer partial 11b which is a solid-state-like adhesives layer -- electroconductive glue paste 11a is further applied with screen printing on conductive hardened material 11b on the above-mentioned solder bump, and electroconductive glue layer part 11a of a two-layer eye is made to form When shown in drawing 8, as shown in drawing 8 (c), (1) paste-like electroconductive glue 11b was applied to the above-mentioned solder bump's 4 flat side 4a with screen printing, and carries out afterbaking to it. Hardness, (2) after forming 1st layer partial 11b which is a solid-state-like adhesives layer -- electroconductive glue paste 11a is further applied with screen printing on the terminal electrode 5 on the wiring substrate 2, and electroconductive glue layer part 11a of a two-layer eye is made to form The other mounting approach is the same as that of drawing 4 and drawing 5. That is, paste 11b of electroconductive glue is applied and heated at the solder bump [ finishing / flattening ] 4, it solidifies, and the 2nd example of the mounting approach forms the 1st layer part, applies electroconductive glue paste 11a of the 2nd layer further on the terminal electrode 5 on said conductive hardened material 11b or the wiring substrate 2, carries out alignment of the above-mentioned conductive hardened material 11b and the terminal electrode 5 on the wiring substrate 2, and makes heating connection. According to this 2nd example, minimum connection height (height of the solder bump before carrying out flattening) can be secured by part for the solidified electroconductive glue layer of the 1st layer, and the thickness or the configuration for an electroconductive glue layer which can absorb curvature deformation of a semiconductor package 10 and the wiring substrate 2 can obtain easily according to the adhesion of the 2nd-layer electroconductive glue paste the top which can prevent the location gap at the time of mounting. Moreover, heating accompanied by pressurization becomes possible [ also acquiring a reliable connection condition also in a difficult mounting object ] at the time of connection. In addition, although the part of the 1st layer was formed in the solder bump [ finishing / flattening ] 4 in explanation of the 2nd example of the above, you may form on the terminal electrode 5 on the wiring substrate 2.

[0033] Next, the 2nd example of the mounting approach is concretely explained using drawing 7 R> 7.

[0034] As a BGA package 10, that whose pitches of the solder bump 4 are about 0.80mm and 729 ball extent was used. Moreover, as electroconductive glue 11a and 11b, the base material of adhesives is a polyurethane system, and the thermoplastic thing which distributed Ag electric conduction filler of the shape of a flake of magnitude with a die length [ of about 10 micrometers ] and a diameter of about 1 micrometer was used. Moreover, the plastics mask 8 with about 150 micrometers [ in thickness ] and a bore diameter of about 450 micrometers was used for conductive paste printing. First, as shown in drawing 7 (a) and (b), after placing by turning the top-most-vertices side of the solder bump 4 of the BGA package 10 down, it conveyed without flux in the reflow furnace, and the heating conditions for about 60 seconds performed the Pb-Sn eutectic solder bump's 4 flattening to the glass plate 7 of 1mm thickness at about 210 degrees C. Then, as shown in drawing 7 (c), with the above-mentioned plastics mask 8, on the solder bump 4, the paste-like electric conduction adhesives of urethane system thermoplasticity were screen-stenciled, it heated between about 5 min at about 150 degrees C, the organic solvent was volatilized, it solidified, and 1st layer partial 11b of electroconductive glue was formed. Next, paste-like the electroconductive glue of urethane system thermoplasticity was printed and

imprinted on 1st layer partial 11b of the above-mentioned electroconductive glue.

[0035] Then, as shown in drawing 7 (d), carry out location bubble \*\*\*\*\* of the solder bump 4 of a package 1, and the terminal electrode 5 of the wiring substrate 2, carry out about 5 min heating at about 160 degrees C, and an organic solvent is volatilized. After solidifying and making temporary connection, adhesion connection was made by carrying out the preheating of the wiring substrate 2 side at about 160 degrees C, and carrying out partial heating of the package 10 side for about 75 seconds, pressurizing welding pressure by 8 - 32gf / bump by about 160 degrees C. About the same connection resistance and connection resilience as a soldered joint can be obtained without performing no resin reinforcement of connections, such as under-filling, with these connection methods. The example of the connection condition is shown in drawing 9 . When thermoplastic electroconductive glue is used so that clearly from drawing 9 , at the time of mounting, the part of the 1st layer and the part of the 2nd layer will unify. According to bump connection of this condition, handshake resistance of 4.9mohm / bump extent almost comparable as handshake resistance of 3.7mohm / bump extent of the conventional soldered-joint average was able to be obtained.

[0036] In addition, in the above explanation, although the case where the solder bump 4 was formed on an electrode 3 was explained as a semiconductor package (multi-pin area bump mold package), it becomes possible to apply also to a ball grid array semiconductor package with the area bump who consists of a metal ball with the melting point higher than solder, such as Cu or a Cu-nickel-Au ball. Thus, since there is almost no height dispersion in the case of a metal ball, it is not necessary to make the summit section flat. Then, what is necessary is to form electroconductive glue 11a only in the terminal electrode 5 of the wiring substrate 2 by printing of a screen etc.

[0037] Next, the gestalt of the 3rd and operation of the 4th of the mounting structure of the semiconductor package (multi-pin area bump mold package) concerning this invention is explained using drawing 10 and drawing 11 . That is, the gestalt of the 3rd and the 4th operation is the electroconductive glue bump 9 formed with the thermosetting or thermoplastic electric conduction adhesives which have flexibility instead of the 1st and the solder bump 4 of the semiconductor package 10 in the gestalt of the 2nd operation. As the gestalt of the 3rd operation is shown in drawing 10 , it can constitute from a bump 9 who consists of electric conduction adhesives thermosetting [ non-hardened ] or thermoplastic, and the gestalt of the 4th operation can also be made into the structure in which the bumps 9 and 6c who consist of the electroconductive glue layer from which the property more than two-layer differs were formed as shown in drawing 11 . As for the case of being [ BGA ] the bump height which can secure sufficient connection height for the I/O pad of base substrate 1b by the side of a package, for example, 1.27mm ball pitch, in the case of such a gestalt, in the above-mentioned semiconductor package body 1, it is desirable to be set to about 600 to 700 micrometers. As the electroconductive glue bump's 9 method of forming in the gestalt of the 3rd operation, the bump 9 of the shape of a solid-state by thermosetting or thermoplastic electroconductive glue is formed with screen printing etc. only on the metal pad 3 of a package in the semi-conductor package body 1 which has two or more metal pads 3. As the electroconductive glue bump's 9 method of forming in the gestalt of the 4th operation, in the semi-conductor package body 1 which has two or more metal pads 3, the bump 9 of the shape of a solid-state by thermosetting or thermoplastic electroconductive glue is formed with screen printing etc. only on the metal pad 3 of a package, and electroconductive glue layer 6c is further applied and formed with screen printing etc. only on the bump 9. As explained above, according to the gestalt of the 3rd and the 4th operation, the rework of a difficult package of connection especially by package pressurization heating is also attained.

[0038] Moreover, as explained above, according to the gestalt of the 1st - the 4th operation, flattening of the solder bump 4 of the multi-pin area bump mold packages 10, such as BGA, is carried out. By making a part for the electroconductive glue layer 6 form on solder flat side 4a or/and the terminal electrode 5 of the wiring substrate 2, carrying out alignment of the solder bump 4 of the above-mentioned semiconductor package, and the terminal electrode 5 of a wiring substrate, and making heating connection after loading The package connection and the rework below the melting point of solder are attained, and, moreover, the configuration for the electroconductive glue layer 6 by making

both a solder bump's flat side 4a, and a side face into a wrap configuration. About the same connection resilience as a soldered joint and connection resistance can be obtained without performing resin reinforcement of connections, such as under-filling. In addition, in order to rework (package exchange), in case the semiconductor package 21 (10) mounted is demounted, when electroconductive glue layer part 6a is thermoplasticity Heat so that melting of the base material of adhesives may be carried out, reduce adhesive strength remarkably, and when electroconductive glue layer part 6a is thermosetting By heating so that the temperature of a base material may exceed a glass transition point (about 130 degrees C), and reducing adhesive strength remarkably, \*\* of \*\* of the connection between the solder bump 4 in the desired semiconductor package 21 (10) and the terminal electrode 5 becomes possible easily. Next, in case a new semiconductor package is attached, when the amount of electroconductive glue layer is thermoplasticity, it becomes possible to attach by carrying out alignment of the solder bump 4 and the terminal electrode 5 of a wiring substrate with which flattening of the new semiconductor package 10 in which a part for the electroconductive glue layer 6 was formed was carried out, and making heating connection after loading in the condition [ the having removed ]. Moreover, in case a new semiconductor package is attached, when the amount of electroconductive glue layer is thermosetting, it is necessary to wash the front face of the group of the removed terminal electrode so that thermosetting adhesive may not remain.

[0039] According to the gestalt of the operation explained above, height dispersion at the time of connection of a BGA package can be reduced by considering as the mounting structure which carries out flattening of the solder bump summit section. Moreover, by forming a solder bump flat side, formation for an electroconductive glue layer of a up to [ a solder bump ] is made easy, and dispersion in adhesion connection area can be reduced. Consequently, it becomes possible to be stabilized and to acquire a uniform connection condition at the time of connection by electroconductive glue. Moreover, since the amount of [ which was formed between the solder bump and the terminal electrode ] electroconductive glue layer has high flexibility, it can absorb the curvature and distortion which are generated in case a semiconductor package is heated and pressurization heating connected and to generate, and it can become possible to make thermal stress ease of it, and it can raise connection dependability. Moreover, when the amount of electroconductive glue layer makes not only a solder bump's flat side but a solder bump's side face into a wrap configuration, it becomes possible to raise connection dependability, such as connection resistance and temperature cycle-proof nature, more.

[0040]

[Effect of the Invention] According to this invention, the effectiveness that the mounting structure of the semiconductor package which carried out low-temperature connection mounting to it being also at connection dependability high to the wiring substrate which has two or more terminal electrodes for multi-pin area bump mold packages with an area bump, such as a BGA package and CSP, possible, and made the rework (package exchange) easy is realizable is done so. Moreover, according to this invention, the effectiveness that the mounting structure of the semiconductor package which carried out connection mounting to it being also at high connection dependability possible is realizable for the wiring substrate which has two or more terminal electrodes for multi-pin area bump mold packages with an area bump, such as a BGA package and CSP, is done so.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the gestalt of operation of the 1st of the mounting structure of the semiconductor package concerning this invention.

[Drawing 2] It is the sectional view having expanded and shown near [ in the gestalt of operation of the 1st of the mounting structure of the semiconductor package concerning this invention ] the connection.

[Drawing 3] It is the perspective view showing the whole mounting structure of the semiconductor package concerning this invention.

[Drawing 4] It is an approximate account Fig. for explaining the 1st example of the mounting approach concerning this invention.

[Drawing 5] It is an approximate account Fig. for explaining the 1st example of the mounting approach concerning this invention.

[Drawing 6] It is the sectional view showing the gestalt of operation of the 2nd of the mounting structure of the semiconductor package concerning this invention.

[Drawing 7] It is an approximate account Fig. for explaining the 2nd example of the mounting approach concerning this invention.

[Drawing 8] It is an approximate account Fig. for explaining the 2nd example of the mounting approach concerning this invention.

[Drawing 9] It is drawing showing the BGA connection interrupt side of 0.8mm pitch / 729 ball.

[Drawing 10] It is the sectional view showing the gestalt of operation of the 3rd of the mounting structure of the semiconductor package concerning this invention.

[Drawing 11] It is the sectional view showing the gestalt of operation of the 4th of the mounting structure of the semiconductor package concerning this invention.

### [Description of Notations]

1 -- A multi-pin area bump mold package body, 2 -- A wiring substrate, 3 -- Metal pad, 4 -- A solder bump, 5 -- A terminal electrode, 6, 6a, 6b, 6c -- A part for an electroconductive glue layer, 7 -- A constant plate, 8 -- A metal mask (mask for printing), 9 -- Electroconductive glue bump (solid-state-like bump), 10 [ -- Semiconductor package. ] -- A multi-pin area bump mold package (semiconductor package), 11a -- Electroconductive glue (adhesives paste), 11b -- Electroconductive glue (adhesives paste), 21, 22, 23

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44606

(P2001-44606A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 5 K 3/32		H 0 5 K 3/32	B 5 E 3 1 9
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 F 0 4 4

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号 特願平11-218276

(22) 出願日 平成11年8月2日 (1999.8.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉見 健二

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72) 発明者 佐伯 準一

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

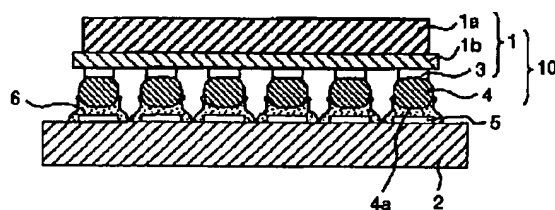
(54) 【発明の名称】 半導体パッケージの実装構造体およびその実装方法並びにそのリワーク方法

(57) 【要約】

【課題】 エリアバンパを持つBGAパッケージやCSP等の多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に高い接続信頼性をもって低温接続実装を可能にしてリワーク (パッケージ交換) を容易にした半導体パッケージの実装構造体およびその実装方法並びにそのリワーク方法を提供することにある。

【解決手段】 本発明は、複数の金属パッド3に接合されたはんだバンパ4からなるエリアバンパを持つ多ピンエリアバンパ型パッケージ10を、複数の端子電極5を有する配線基板2に実装して構成される半導体パッケージの実装構造体であって、前記複数のはんだバンパ4の頂上部について高さを揃えて平坦化して形成したはんだバンパ平坦面4aの各々と前記複数の端子電極5の各々との間を各ハンダバンパの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分6で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体である。

図 1



## 【特許請求の範囲】

【請求項1】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数のはんだバンプの頂上部について高さを揃えて平坦化して形成したはんだバンプ平坦面の各々と前記複数の端子電極の各々との間を各ハンダバンプの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体。

【請求項2】前記はんだバンプを鉛フリーで構成したことを特徴とする請求項1記載の半導体パッケージの実装構造体。

【請求項3】前記導電性接着剤層部分を複数層で構成したことを特徴とする請求項1記載の半導体パッケージの実装構造体。

【請求項4】複数の金属パッドに接合された金属ボールからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数の金属ボールの各々と前記複数の端子電極の各々との間を各金属ボールの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体。

【請求項5】前記導電粉としてフレーク状のAgもしくはAg-Pdを主成分とすることを特徴とする請求項1または4記載の半導体パッケージの実装構造体。

【請求項6】前記接着剤基材として熱可塑性樹脂であることを特徴とする請求項1または4記載の半導体パッケージの実装構造体。

【請求項7】前記接着剤基材として熱硬化性樹脂であることを特徴とする請求項1または4記載の半導体パッケージの実装構造体。

【請求項8】複数の金属パッドからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数の金属パッドの各々と前記複数の端子電極の各々との間を所望の高さで各エリアバンプの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体。

【請求項9】前記導電性接着剤層部分を複数層で構成したことを特徴とする請求項8記載の半導体パッケージの実装構造体。

【請求項10】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装

する半導体パッケージの実装方法であって、

前記多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンプ平坦面と前記各端子電極との間に各はんだバンプに対応させて接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、

該形成工程で形成された各導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項11】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンプ平坦面上に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、

該形成工程で形成された各導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項12】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンプ平坦面上に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成して加熱固化または半硬化させる形成工程と、該形成工程で加熱固化または半硬化された各導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項13】前記平坦化工程において、多ピンエリアバンプ型パッケージのバンプ側を平滑かつはんだに濡れない材質の定板に搭載し、はんだバンプをはんだの融点よりもわずかに高い温度で加熱溶解することを特徴とする請求項10または11または12記載の半導体パッケージの実装方法。

【請求項14】前記形成工程において、導電性接着剤のペーストを印刷法により部分化して塗布することを特徴とする請求項10または11または12記載の半導体パッケージの実装方法。

【請求項15】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、

前記多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンプ平坦面もしくは前記各端子電極上に、接着剤基材に導電粉を含有させた第1層目の導電性接着剤層部分を形成して加熱固化または半硬化させる第1層目の形成工程と、

該第1層目の形成工程で加熱固化または半硬化された各第1層目の導電性接着剤層部分と各端子電極もしくは各はんだバンプ平坦面との間に、接着剤基材に導電粉を含有させた第2層目の導電性接着剤層部分を形成する第2層目の形成工程と、

該第2層目の形成工程で形成された各第2層目の導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各第1層目および第2層目の導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項16】複数の金属パッドに接合された金属ボールからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、

前記各金属ボールと各端子電極との間に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、

該形成工程で形成された各導電性接着剤層部分を加熱することにより各金属ボールと各端子電極との間を各金属ボールの側面を覆うように導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項17】複数の金属パッドからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、

前記各金属パッドもしくは前記各端子電極上に、所望の高さで接着剤基材に導電粉を含有させた第1層目の導電性接着剤層部分を形成して加熱固化または半硬化させる第1層目の形成工程と、

該第1層目の形成工程で加熱固化または半硬化された各第1層目の導電性接着剤層部分と各端子電極もしくは各金属パッドとの間に、接着剤基材に導電粉を含有させた

第2層目の導電性接着剤層部分を形成する第2層目の形成工程と、

該第2層目の形成工程で形成された各第2層目の導電性接着剤層部分を加熱することにより各金属パッドと各端子電極とを各第1層目および第2層目の導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法。

【請求項18】複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に対して交換して実装する半導体パッケージのリワーク方法であって、

前記配線基板に接続実装された多ピンエリアバンプ型パッケージについて導電性接着剤層部分を加熱して接着力を弱めて多ピンエリアバンプ型パッケージを剥がす工程と、

新たな多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と該平坦化工程で平坦化した各はんだバンプ平坦面と前記各端子電極との間に各はんだバンプに対応させて接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と該形成工程で形成された各導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有して新たな多ピンエリアバンプ型パッケージを前記配線基板に接続実装する実装工程とを有することを特徴とする半導体パッケージのリワーク方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エリアバンプを持つBGA (Ball Grid Array) パッケージやCSP (Chip Size Package) 等の多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装した半導体パッケージの実装構造体およびその実装方法並びにそのリワーク方法に関するものである。

【0002】

【発明が解決しようとする課題】現在、パーソナルコンピュータ (PC: Personal Computer) 等の実装基板上には、入出力ピン数が400～600ピンクラスのマイクロプロセッサや300～400ピンクラスのチップセットやグラフィックコントローラと呼ばれる各種コントローラ用のASIC (Application Specified Integrated Circuit) が占める割合が大きくなってきており、PC本体の入出力性能の高速化等の要求から年々それらのピン数は増加傾向にある。従来、それらの入出力ピン数増加の要求に応えるため、リードフレームを用いたQFP (Quad Flat Package)、SOP (Single Outline Pack

age)等の周辺ピン配置のパッケージのピン間ピッチの狭小化が進められてきた。しかし、はんだ付け等の実装上や、信頼性の問題から実用上0.5mmピッチ程度で挟みピッチ化が限界となってきたことや、上記の高速化・小型化の要求から、入出力ピンであるはんだバンプを半導体パッケージ下面にエリア配置する、BGA (Ball Grid Array) パッケージが採用される割合が増加している。また、BGAパッケージは、周辺ピン配置のパッケージに比べて比較的粗いピッチでも小型化・多ピン化が可能のため、更に多ピンかつ高速の半導体パッケージに採用され普及してきている。しかしながら、BGAの実装構造ではリワーク、すなわちパッケージ交換が困難であるという課題がある。BGAパッケージはんだ付け後の基板実装後のリワーク方法は、例えばエレクトロニクス実装技術; vol. 12 No. 1, pp 48~52, 1996. 1に記載のような熱風ノズル方法が知られている。

【0003】BGAの場合、はんだ接続部はパッケージと実装基板との間にあり、パッケージ下部に隠れた構造となっているため、主にパッケージ本体からの熱伝導によりはんだを溶融させることになる。そのため熱供給量が増大し、実際の実装基板の表面温度は、融点183℃のPb-Sn系共晶はんだにおいても210から240℃までとなっている。このように、BGAパッケージの接続およびリワークにおいて実装基板の表面温度が高いため、以下の課題を有していた。

(1) リワークパッケージの周辺部品も交換しなければならない。

(2) 現在採用されているガラスエポキシ基板のガラス転移点(Tg)が約130℃である為、基板の反り変形が大きく、その矯正の為に基板支持方法等のリワークプロセス条件の設定に多大な時間を要する。

(3) リワーク時の局所加熱やはんだレベリング作業により、実装基板上のパッドが劣化、剥離する為、リワーク回数が制限される。

【0004】一方、Pbフリーはんだ化の要求から、現在Sn-Ag-Cu系のはんだバンプやはんだペーストの採用が進むことにより、プロセス温度自体が更に上記のPb-Sn系はんだの場合に比べ20から30℃程度上昇する傾向にあり、また、はんだボールのピッチやボール径が小さくなる事によりパッケージ下面への熱対流も困難となるため、はんだ接続およびリワークプロセスが更に困難になる。

【0005】また、LSIチップを導電性接着剤を用いて低温接続する方法としては、特許第2574369号公報記載のSBB法のように、LSI電極上にAuバンプを形成し、その頂点を平坦化した後、Agフレークを分散させた導電性ペーストにAuバンプをスタンピングすることにより導電性接着剤層を形成し、電気的な仮接続終了後、熱硬化性絶縁性接着剤をLSIと基板の間隙

に充填して最終接続を行っている例や、フィルム状またはゲル状の接着剤層中に金属ボールなどを充填した異方性導電性接着剤を基板の電極上に供給した後、熱圧着により同時に電気的接続およびLSI/基板間の熱硬化性絶縁性接着剤による充填を行う例がある。

【0006】しかし、これら従来の手法においては、最大12mm角程度の大きさのLSIチップを対象とするものであるために、大型パッケージの接続に対して必要な反り変形を吸収するための接着力や接続高さの確保について考慮されていなかった。

【0007】また、上記従来の手法は、あくまでも導電性接着剤については、LSIチップの接続に電気的な仮接続を行うためのものであり、最終的な機械的信頼性確保については、熱硬化性の絶縁性接着剤を接続部に充填するかまたは異方性導電接着剤の基材の硬化収縮力によりLSIチップと基板の電極間での密着性を増し、電気的な接続性を向上させることで達成されるものである。そのため、上記従来の手法では、最終接続後のリワークが困難であるという課題を有していた。

【0008】本発明の目的は、上記課題を解決すべく、エリアバンプを持つBGA (Ball Grid Array) パッケージやCSP (Chip Size Package) 等の多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に高い接続信頼性でもって低温接続実装を可能にしてリワーク(パッケージ交換)を容易にした半導体パッケージの実装構造体およびその実装方法並びにそのリワーク方法を提供することにある。また、本発明の他の目的は、エリアバンプを持つBGAパッケージやCSP等の多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に高い接続信頼性でもって接続実装を可能にした半導体パッケージの実装構造体およびその実装方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数のはんだバンプの頂上部について高さを揃えて平坦化して形成したはんだバンプ平坦面の各々と前記複数の端子電極の各々との間を各ハンダバンプの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体である。また、本発明は、前記半導体パッケージの実装構造体において、はんだバンプを鉛フリーで構成したことを特徴とする。また、本発明は、前記半導体パッケージの実装構造体において、導電性接着剤層部分を複数層で構成したことを特徴とする。

【0010】また、本発明は、複数の金属パッドに接合



された金属ボールからなるエリアバンパを持つ多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数の金属ボールの各々と前記複数の端子電極の各々との間を各金属ボールの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体である。また、本発明は、前記半導体パッケージの実装構造体において、導電粉としてフレーク状のAgもしくはAg-Pdを主成分とすることを特徴とする。また、本発明は、前記半導体パッケージの実装構造体において、接着剤基材として熱可塑性樹脂であることを特徴とする。このように、接着剤基材が熱可塑性樹脂である場合、リワークに関して容易に行うことができる。また、本発明は、前記半導体パッケージの実装構造体において、接着剤基材として熱硬化性樹脂であることを特徴とする。

【0011】また、本発明は、複数の金属パッドからなるエリアバンパを持つ多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に実装して構成される半導体パッケージの実装構造体であって、前記複数の金属パッドの各々と前記複数の端子電極の各々との間を所望の高さで各エリアバンパの側面を覆うように接着剤基材に導電粉を含有させた導電性接着剤層部分で固めて電気的および機械的に接続実装して構成することを特徴とする半導体パッケージの実装構造体である。

【0012】また、本発明は、前記半導体パッケージの実装構造体において、導電性接着剤層部分を複数層で構成したことを特徴とする。また、本発明は、前記半導体パッケージの実装構造体において、リワーク（パッケージ交換）可能に構成したことを特徴とする。また、本発明は、複数の金属パッドに接合されたはんだバンパからなるエリアバンパを持つ多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記多ピンエリアバンパ型パッケージの複数のはんだバンパの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンパ平坦面と前記各端子電極との間に各はんだバンパに対応させて接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、該形成工程で形成された各導電性接着剤層部分を前記はんだバンパの融点以下の温度で加熱することにより各はんだバンパと各端子電極とを各はんだバンパの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。

【0013】また、本発明は、複数の金属パッドに接合されたはんだバンパからなるエリアバンパを持つ多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であっ

て、前記多ピンエリアバンパ型パッケージの複数のはんだバンパの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンパ平坦面上に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、該形成工程で形成された各導電性接着剤層部分を前記はんだバンパの融点以下の温度で加熱することにより各はんだバンパと各端子電極とを各はんだバンパの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。ところで、前記半導体パッケージの実装方法において、熱可塑性の導電性接着剤を用いる場合には、形成工程で加熱により導電ペースト中の溶剤を揮発・除去することにより固化し、接続実装工程で導電性接着剤層部分を溶融状態にしてはんだバンパと端子電極と接続することである。また、熱硬化性の導電性接着剤を用いる場合には、形成工程で半硬化状態にし、接続実装工程で導電性接着剤層部分を完全に硬化させてはんだバンパと端子電極と接続することである。この時、パッケージを介して導電性接着剤層部分を加圧することにより更に安定した接続が得られる。

【0014】また、本発明は、複数の金属パッドに接合されたはんだバンパからなるエリアバンパを持つ多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記多ピンエリアバンパ型パッケージの複数のはんだバンパの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンパ平坦面上に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成して加熱固化または半硬化させる形成工程と、該形成工程で加熱固化または半硬化された各導電性接着剤層部分を前記はんだバンパの融点以下の温度で加熱することにより各はんだバンパと各端子電極とを各はんだバンパの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。この方法によれば、導電性接着剤として熱可塑性を用いて、形成工程で加熱固化された各導電性接着剤層部分を有する半導体パッケージを室温で一時的に保存することが可能となる。また、本発明は、前記半導体パッケージの実装方法における平坦化工程において、多ピンエリアバンパ型パッケージのバンパ側を平滑かつはんだに濡れない材質の定板に搭載し、はんだバンパをはんだの融点よりもわずかに高い温度で加熱溶融することを特徴とする。また、本発明は、前記半導体パッケージの実装方法における平坦化工程において、はんだバンパをはんだの融点よりもわずかに高い温度で加熱溶融する際、パッケージの自重程度の荷重を負荷しながら60秒程度以上加熱溶融することを特徴とする。また、本発明は、前記半導体パッケージの実装方法における形成工程において、導

電性接着剤のペーストを印刷法により部分化（局部化：ほぼ円形もしくは正方形にパターン化）して塗布することを特徴とする。また、本発明は、前記半導体パッケージの実装方法における接続実装工程において、はんだバンプと接続端子とを位置合わせすることを特徴とする。

【0015】また、本発明は、複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と、該平坦化工程で平坦化した各はんだバンプ平坦面もしくは前記各端子電極上に、接着剤基材に導電粉を含有させた第1層目の導電性接着剤層部分を形成して加熱固化または半硬化させる第1層目の形成工程と、該第1層目の形成工程で加熱固化または半硬化された各第1層目の導電性接着剤層部分と各端子電極もしくは各はんだバンプ平坦面との間に、接着剤基材に導電粉を含有させた第2層目の導電性接着剤層部分を形成する第2層目の形成工程と、該第2層目の形成工程で形成された各第2層目の導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各第1層目および第2層目の導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。また、本発明は、複数の金属パッドに接合された金属ボールからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記各金属ボールと各端子電極との間に、接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と、該形成工程で形成された各導電性接着剤層部分を加熱することにより各金属ボールと各端子電極との間を各金属ボールの側面を覆うように導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。

【0016】また、本発明は、複数の金属パッドからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に実装する半導体パッケージの実装方法であって、前記各金属パッドもしくは前記各端子電極上に、所望の高さで接着剤基材に導電粉を含有させた第1層目の導電性接着剤層部分を形成して加熱固化または半硬化させる第1層目の形成工程と、該第1層目の形成工程で加熱固化または半硬化された各第1層目の導電性接着剤層部分と各端子電極もしくは各金属パッドとの間に、接着剤基材に導電粉を含有させた第2層目の導電性接着剤層部分を形成する第2層目の形成工程と、該第2層目の形成工程で形成された各第2層目の導電性接着剤層部分を加熱することにより各金

属パッドと各端子電極とを各第1層目および第2層目の導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有することを特徴とする半導体パッケージの実装方法である。また、本発明は、複数の金属パッドに接合されたはんだバンプからなるエリアバンプを持つ多ピンエリアバンプ型パッケージを、複数の端子電極を有する配線基板に対して交換して実装する半導体パッケージのリワーク方法であって、前記配線基板に接続実装された多ピンエリアバンプ型パッケージについて導電性接着剤層部分を加熱して接着力を弱めて多ピンエリアバンプ型パッケージを剥がす工程と、新たな多ピンエリアバンプ型パッケージの複数のはんだバンプの頂上部を一括して平坦化する平坦化工程と該平坦化工程で平坦化した各はんだバンプ平坦面と前記各端子電極との間に各はんだバンプに対応させて接着剤基材に導電粉を含有させた導電性接着剤層部分を形成する形成工程と該形成工程で形成された各導電性接着剤層部分を前記はんだバンプの融点以下の温度で加熱することにより各はんだバンプと各端子電極とを各はんだバンプの側面を覆うように各導電性接着剤層部分で固めて電気的および機械的に接続して実装する接続実装工程とを有して新たな多ピンエリアバンプ型パッケージを前記配線基板に接続実装する実装工程とを有することを特徴とする半導体パッケージのリワーク方法である。

【0017】以上説明したように、前記構成によれば、半導体パッケージのはんだ融点よりも低温でのリワークが可能となる。即ち、加熱により、熱可塑性の場合、接着剤基材が溶融することにより、熱硬化性の場合、接着剤基材がガラス転移点を越えると接着力が著しく低下することにより、はんだバンプと端子電極間の接続部の分離を行うことができ、低温でのリワークが可能となる。また、前記構成によれば、半導体パッケージのはんだバンプの頂上部分を平坦化するようにしたので、導電性接着剤層部分の形成を容易にすることができ、また、はんだバンプの高さばらつきを小さくし、しかも導電性接着剤による接続面積のばらつきを小さくすることができ、はんだバンプと端子電極との間の接続部の信頼性を向上させることができる。

【0018】

【発明の実施の形態】本発明に係る半導体パッケージの実装構造体およびその実装方法の実施の形態について図面を用いて説明する。図1は本発明に係る半導体パッケージの実装構造体の第1および第2の実施の形態を示す断面図である。まず、本発明に係る半導体パッケージの実装構造体の第1の実施の形態を図1および図2を用いて説明する。図2は第1の実施の形態における接続部付近を拡大した断面図である。即ち、本発明に係る半導体パッケージの実装構造体は、BGA (Ball Grid Array) パッケージもしくはCSP (Chip Size Package) 等の多ピンエリアバンプ型パッケージを搭載するための複

数の端子電極5を配列して形成したガラスエポキシ基板等の配線基板2と、複数の金属パッド3が配列して設けられた小さなセラミックやガラスエポキシや樹脂フィルム等の基板1b上にLSIチップを実装してパッケージ化1aされた多ピンエリアバンパ型パッケージ本体(LGA(Land grid Array)パッケージ本体とも称する。)

1、および該多ピンエリアバンパ型パッケージ本体1の金属パッド3上に接合され、バンパ接続部に高さを揃えて平坦面を形成したPb-Sn共晶はんだや鉛フリーはんだ等からなるはんだバンパ4からなる多ピンエリアバンパ型パッケージ10と、該各はんだバンパ4の平坦面4aと各端子電極5との間を電気的導通をとって接着した固体状の熱硬化性もしくは熱可塑性の導電性接着剤層部分(各はんだバンパに底じた導電性接着剤層のほぼ円形もしくは正方形のパターン)6とで構成される。なお、この導電性接着剤層部分6としては、図2に示す第1の実施の形態では1層6aから構成され、図6に示す第2の実施の形態では2層6a、6bとから構成される。また、この導電性接着剤層部分6を構成するための導電性接着剤としては、上記はんだバンパ4の融点よりも低温で接続可能な熱可塑性もしくは熱硬化性のものである。

【0019】多ピンエリアバンパ型パッケージ本体1の基板1bには、主にCuからなる(例えばCuにAu等で被覆して形成される。)複数の金属パッド3が設けられ、これら金属パッド3上には、頂点を高さを揃えて平坦化したPb-Sn共晶はんだや鉛フリーはんだ等からなるはんだバンパ4がはんだ付け(溶融接合)されて固定されている。鉛フリーはんだとしては、例えばSn-Ag-Cu等の合金はんだやSn-Ag-Cu-Bi等の合金はんだ等の融点が190℃~220℃程度のもので考えられる。Pb-Sn共晶はんだの場合、融点が180℃~190℃程度と低くなる。

【0020】特に、半導体パッケージ(多ピンエリアバンパ型パッケージ)10に形成された多数のはんだバンパ4に亘ってそれらの頂点に対して高さを揃えて平坦化して平坦面4aを形成するのは、図4および図7に示すように、導電性接着剤層部分(導電性接着剤層パターン)11aをスクリーン印刷等によって形成するのを容易にするためと、更に、はんだバンパの高さばらつきを小さくすると共に導電性接着剤による接続面積のばらつきを小さくすることにより接続部の導電接続および接着の信頼性を向上させるためである。そして、位置合わせされたこれら各はんだバンパ4の平坦面と各端子電極5との間においてのみ、スクリーン印刷等により部分的に形成された熱硬化性もしくは熱可塑性の導電性接着剤を、はんだバンパの溶点以下の温度で加熱して硬化させることによって導電性接着剤に含まれるフレーク状のAgもしくはAg-Pdを主成分とする導電粉による電気的な接続と導電性接着剤の接着剤基材による機械的な接

着接続とが行われることになる。この際、熱可塑性の導電性接着剤を用いる場合、スクリーン印刷等により塗布(印刷)された各導電性接着剤層部分(各導電ペースト部分)に対して加熱により導電ペースト中の溶剤を揮発・除去することにより固化し、その後接続実装工程においてこの固化された各導電性接着剤層部分を溶融状態にして固めることにより各はんだバンパ4と各端子電極5とを接続することが望ましい。また、熱硬化性の導電性接着剤を用いる場合、スクリーン印刷等により塗布(印刷)された各導電性接着剤層部分(各導電ペースト部分)に対して加熱することにより半硬化状態にし、その後接続実装工程においてこの半硬化状態の各導電性接着剤層部分を加熱して完全に硬化して各はんだバンパ4と各端子電極5とを接続することが望ましい。

【0021】ここで、熱硬化性の導電性接着剤としては、主にエポキシ樹脂等から成る接着剤基材と、長さが5μm~20μm程度で、直径が0.6μm~2μm程度のフレーク状のAgもしくはAg-Pdを主成分とする導電粉とを含有するものを用いる。熱可塑性の導電性接着剤としては、主にウレタン樹脂等からなる成る接着剤基材と、長さが5μm~20μm程度で、直径が0.6μm~2μm程度のフレーク状のAgもしくはAg-Pdを主成分とする導電粉とを含有するものを用いる。

【0022】以上説明したように、半導体パッケージ(多ピンエリアバンパ型パッケージ)10に形成された多数のはんだバンパ4に亘ってそれらの頂点部に対して高さを揃えて平坦化して平坦面4aを形成しているの、各はんだバンパ4の平坦面4aと各端子電極5との間を上記多数のはんだバンパに亘って均一性が保たれ、その結果対向する各はんだバンパ4の平坦面4aと各端子電極5との間においてのみ部分的に導電性接着剤層部分6(6a/6aおよび6b)を形成するだけで、該多数の導電性接着剤層部分6の群(集合)により半導体パッケージ10を配線基板2にアンダーフィルなしではんだ接続並みの高い電気的および機械的な接続信頼性を確保することができる。なお、はんだバンパ4および端子電極5の各々毎の導電性接着剤層部分(導電性接着剤層パターン)6aは、図2に示すように、はんだバンパの平坦面4aの側面もわずかに覆い、端子電極5についても覆うものとする。即ち、本発明に係る半導体パッケージの実装構造体は、半導体パッケージ10における高さを揃えて平坦面4aを有する多数のはんだバンパ4の各々が、配線基板2における端子電極5の各々に、対応する位置に局所的に設けられた導電性接着剤層6aにより電気的に接続され、且つ機械的に接着接続された実装構造体となっている。

【0023】そのため、図4に示すような複数の半導体パッケージ21(10)、22(10)、23(10)が配線基板2に実装された半導体パッケージの実装構造体20から、所望の半導体パッケージ21(10)を交

換してリワークする際、導電性接着剤層6aが熱可塑性の場合には、接着剤の基材を溶融させるように加熱して接着力を著しく低下させ、導電性接着剤層6aが熱硬化性の場合には、基材の温度がガラス転移点(約130℃)を越えるように加熱して接着力を著しく低下させることにより、容易に所望の半導体パッケージ21(10)におけるはんだバンパ4と端子電極5間の接続部の剥がし(分離)が可能となり、容易にリワーク(パッケージ交換)を可能にすることができる。即ち、所望の半導体パッケージ21(10)のはんだバンパの融点よりも低温でのリワークが可能となる。更に、上記説明した本発明に係る半導体パッケージの実装構造体においては、半導体パッケージ10の各はんだバンパ4と配線基板2の各端子電極5との間に設けた導電性接着剤層6aが、半導体パッケージ本体1と配線基板2との間の熱膨張係数の差により生じた応力を吸収するため、高い接続信頼性を確保することができる。

【0024】次に、本発明に係る半導体パッケージ(多ピンエリアバンパ型パッケージ)の実装構造体の第1の実施の形態を得るための実装方法の第1の実施例について図4および図5を用いて説明する。図4および図5は半導体パッケージの実装構造体の変化を示す断面図である。まず、図4(a)から図4(b)および図5(a)から図5(b)に示すように、はんだバンパ4を持つ半導体パッケージ10を例えば吸着ノズルで吸着して搬送し、はんだバンパ4側を下にして平滑かつ高温でもほとんど反り変形が無く、はんだに濡れない材質の定板7、例えば、セラミックやガラス上に搭載した後、はんだバンパ4を加熱溶融させ、フラックス無し、かつパッケージの自重のみで頂点を平坦化して接着面となる平坦面4aについて高さを揃えて形成する。ここで、はんだバンパ4の平坦化温度としては、はんだの融点から20℃～30℃程度高い温度とし、60秒程度以上リフローすることが望ましい。これらの工程を予め行って、はんだバンパ4の頂点部に直径の50%程度以上の平坦面4aを高さを揃えて形成しておくことにより、その後、各はんだバンパの平坦面4aへの導電性接着剤層(熱可塑性もしくは熱硬化性の導電性接着剤)11aのペースト印刷による形成を容易にすることが可能となる。

【0025】即ち、はんだバンパ4の頂上部の平坦化を半導体パッケージ10のはんだバンパ側を平滑かつはんだに濡れない材質、例えばガラス、セラミック等の定板7に搭載した後に、加熱溶融させて行うことにより、はんだバンパの平坦化プロセスを容易にし、はんだボール直径の50%程度以上の平坦面4aを得ることができ、更に接続信頼性に優れた半導体パッケージの実装体を得ることができる。この加熱溶融の時に、半導体パッケージを0.02gf/バンパ程度以下で加圧することにより平坦化部の面積を制御することも可能である。なお、エリアバンパパッケージ10のはんだバンパ4の頂点側

を平滑かつはんだに濡れない材質の定板7に搭載し、その後リフロー炉内に搬送して、はんだバンパ4を加熱溶融させることにより、はんだバンパ4の溶融、平坦化、冷却までのプロセスを一括して行うことも可能である。また、この時、はんだバンパに関しては、パッケージ上面から荷重を加えることにより、平坦化する面積やバンパ高さを調節することもできる。上記実施例においては、はんだバンパ4の平坦化を加熱溶融により行っているが、上記はんだバンパ4を融点以下で加圧・加熱することにより頂点側および高さを一様に平滑にする平坦化を行うためにはパッケージ本体1に過大な荷重を加えなければ不可能である。そのため、特に多ピン化に対応するためバンパ数が増大、またパッケージが大型化し、またははんだバンパが鉛フリーはんだ化して融点が高くなる中で、はんだ融点以下の加圧加熱によるはんだバンパ平坦化はますます困難となる。従って、パッケージに大きな荷重を負荷しないではんだバンパを平坦化できるはんだ融点以上での平坦化が有効となる。

【0026】次に、図4(c)に示すように半導体パッケージ10のはんだバンパ4の平坦面が上面になるように反転して保持し、この反転されたはんだバンパ4の頂上部にメタルマスク8の開口部を位置合わせ後、ペースト状の熱硬化性もしくは熱可塑性の導電性接着剤11aをスクリーン印刷法によってはんだバンパ4の頂上部にのみ局所的に塗布する。この場合、図5(c)に示すように配線基板2上の端子電極5にメタルマスク8の開口部を位置合わせ後、ペースト状の熱硬化性もしくは熱可塑性の導電性接着剤11aをスクリーン印刷法によって端子電極5にのみ局所的に塗布する。このように塗布した際、熱可塑性の導電性接着剤の場合には、その後加熱して溶剤揮発処理して仮固化しておいても良い。また、熱硬化性の導電性接着剤の場合には、加熱することなく放置しておくだけで、半硬化状態が得られることになる。なお、ペースト状の導電性接着剤11aを、配線基板2の端子電極5側に局所的に(部分的に)スクリーン印刷して形成してもよい。

【0027】また、図4(c)および図5(c)のいずれの場合でも、メタルマスク8の厚さは、半導体パッケージ実装時の反り変形量(配線基板2や半導体パッケージ10の反り変形量。但し、半導体パッケージ10の反り変形量については、はんだバンパ4の平坦面4aを形成する際の温度と、導電性接着剤層部分を用いてはんだバンパと端子電極との間を接続実装する際の温度との間に30℃～40℃程度の差が生じるので、この温度差に伴うものである。)および導電性接着剤の溶剤揮発による体積減少分(導電性接着剤が熱可塑性の場合には、体積比で50%程度の溶剤が入れられてペースト状にあるので、溶剤揮発による体積減少分が大きくなる。)を考慮して決定する。即ち、メタルマスク8の厚さは、頂上部を平坦化したはんだバンパ4の高さばらつきおよ

び配線基板2や半導体パッケージ10の反り変形を吸収可能な導電性接着剤層部分の厚さ(80 $\mu$ m~100 $\mu$ m程度)が得られるようにすればよい。このようにスクリーン印刷方法によって導電性接着剤層部分を塗布すれば、よりはんだバンプ数の多い半導体パッケージ10に対しても容易に導電性接着剤層部分を形成することが可能となる。また、スクリーン印刷をする際、メタルマスク8とはんだバンプ4の平坦面4aまたは端子電極5との間隙を100 $\mu$ m~200 $\mu$ m程度の適切な距離を保つことにより、はんだバンプ4の頂上部に対しても導電性ペーストのにじみの少ない均一な導電性接着剤層部分が得られる。また、その他、はんだバンプ4の平坦面4aおよび配線基板2の金属電極5上にはんだよりも低温で接続可能な局所的な導電性接着剤層部分11aを形成するスクリーン印刷法以外の導電性接着剤層形成法としては、導電ペーストを転写する方法やシート状の熱可塑性の導電性接着材および未硬化の熱硬化性の導電性接着剤を熱圧着により転写する手法も考えられるが、導電ペースト転写量および導電性接着剤シート転写量ばらつきがあり、局所的な導電性接着剤層11aの形状制御も困難であるため、BGAバンプの接続およびリワーク(パッケージ交換)用途には、スクリーン等の印刷法が最適である。

【0028】その後、例えばリフロー炉内において、図4(d)に示すように部分的に導電性接着剤11aを形成した半導体パッケージ10のはんだバンプ4と、配線基板2の端子電極5とを位置合わせして搭載し、はんだバンプ4の融点以下で加熱することにより、はんだバンプ4および端子電極5を導電性接着剤層部分6aを介して電気的な接続と機械的な接着接続が行われて図4

(e)に示すような半導体パッケージの実装構造体を得ることができる。なお、上記位置合わせは、例えばステージ(図示せず)上に載置された配線基板2上の所望の端子電極5または基準マーク(図示せず)を光学的に観察して得られる画像と、例えば真空チャックに保持された半導体パッケージ10のはんだバンプ4または平坦面4aに形成された導電性接着剤層部分11aを光学的に観察して得られる画像とに基いて上記ステージと真空チャックとの相対的位置を制御することによって実現することができる。また、図5(d)に示すように半導体パッケージ10のはんだバンプ4と、部分的に導電性接着剤11aを形成した配線基板2の端子電極5とを位置合わせして搭載し、はんだバンプ4の融点以下で加熱することにより、はんだバンプ4および端子電極5を導電性接着剤層部分6aを介して電気的な接続と機械的な接着接続が行われて図5(e)に示すような半導体パッケージの実装構造体を得ることができる。上記場合、熱可塑性の導電性接着剤では溶剤を揮発させ、接着剤成分が溶融することにより、また熱硬化性の導電性接着剤では熱硬化反応により接続を行う。なお、この際、導電性接着剤の

中に含有されたフレーク状のAgもしくはAg-Pdを主成分とする導電粉を密着させることによって、はんだバンプ4と端子電極5との間の電気的な導通をとって電気的な接続を行うものであるため、配線基板2と半導体パッケージ10との間に圧力を加えることが望ましい。しかし、この圧力は、熱可塑性の導電性接着剤の場合には弱くても、確実な電気的接続を行うことができる。

【0029】ところで、リワークする半導体パッケージ10において、導電性接着剤11aとして熱可塑性のものを用いる場合には、リワークする半導体パッケージ10のはんだバンプ4側に導電性ペーストをスクリーン印刷などで局所的に塗布後、約150℃で5min程度の時間保持し、溶剤を揮発除去して固体状にしておくことにより、室温での一時保管が可能となる。そして、この室温で一時的保管された半導体パッケージ10をリワークするために図4(d)に示すように配線基板2上に搭載して接続する場合には、溶剤の多くが揮発除去されて導電性接着剤が固体状にされている関係で、加熱の他に加圧が必要となる。この場合の加圧力は、0.8から1.27mm程度のピッチのBGAパッケージにおいて4~40gf/バンプ程度の範囲が望ましい。以上、図4(a)から図4(d)および図5(a)から図5(d)に示す工程により半導体パッケージ10の導電性接着剤層部分6aによる接着接続が完了して図4(e)および図5(e)に示すような半導体パッケージの実装構造体を得ることができる。以上説明したように、はんだバンプ4の融点よりも低温で接着接続が可能な導電性接着剤層部分11aを、はんだバンプ4の平坦面4aと端子電極5との間にのみ局所的に形成させ、はんだバンプ4の融点よりも低温で加熱してはんだバンプ4の平坦面4aと端子電極5との間において上記局所的な接着剤層6aを介して電気的な接続も含め接着接続を行うように構成したので、半導体パッケージ10の低温リワークを可能にすることができる。

【0030】また、印刷された熱硬化性もしくは溶剤揮発前の熱可塑性の導電性ペースト11aの粘着力を利用すれば、半導体パッケージ搭載-加熱接続工程中のパッケージバンプ4の端子電極5からの位置ずれを防止することが可能である。また、局所的な導電性接着剤11aをはんだバンプ4の融点以下で加熱すればよいので、リフロー炉等を用いてリワークも可能となる。また、半導体パッケージ10の接続時において、導電性ペースト11aによって半導体パッケージ10のはんだバンプ4の高さばらつきの吸収も可能である。また、本方式によれば、半導体パッケージのはんだバンプ高さばらつきを、はんだバンプ4の頂上部に平坦面4aを形成することによって揃えて吸収し、導電ペースト11aによって配線基板2や半導体パッケージ10の反りを吸収させるように構成したので、半導体パッケージの加圧に伴う加熱による接続が困難な半導体パッケージの接続およびリワー

クも可能となる。なお、熱硬化性の導電接着剤の硬化温度又は熱可塑性の導電接着剤の接続温度は、実装基板（配線基板）2のガラス転移点130℃を大きく越えない130から160℃程度の範囲であることが望ましい。

【0031】次に、本発明に係る半導体パッケージの実装構造体の第2の実施の形態を図1および図6を用いて説明する。図6は第2の実施の形態における接続部付近を拡大した断面図である。第2の実施の形態において、第1の実施の形態と相違する構成は、パッケージ1のはんだバンプ4の平坦面および配線基板2の端子電極5の間に形成する導電性接着剤層部分6を2層6a、6bから構成することにある。この第2の実施の形態の場合、2層目の導電性接着剤層部分6aが、1層目の導電性接着剤層部分6bと同等かそれ以下の低温で接着が可能で構成であれば、2層目の導電性接着剤層部分6aが熱硬化性か熱可塑性であるか、またはペースト状であるか固体状であるか、などの形態は問わない。また、接着温度や熱膨張率等の性質の異なる2層構成の導電性接着剤層部分6a、6bを形成させることにより、半導体パッケージ10の低温リワークを更に容易にすることも可能である。ここで、1層目の導電性接着剤層部分6bは接続高さを保持する層であり、2層目の導電性接着剤層部分6aははんだバンプ4の高さばらつき（特に、はんだバンプ4の頂上部に平坦面4aを形成した際吸収しえなかった高さばらつき）を吸収する層として働く。上記の構成にすることで、半導体パッケージ1の高さばらつきがあっても最低限の導電性接着剤の高さを確保することが可能で、より高い接続信頼性を得ることができる。

【0032】本発明に係る半導体パッケージ（多ピンエリアバンプ型パッケージ）の実装構造体の第2の実施の形態を得るための実装方法の第2の実施例について図7および図8を用いて説明する。図7に示す場合には、図7（c）に示すように（1）ペースト状の導電性接着剤11bを上記はんだバンプ4の平坦面4aにスクリーン印刷法により塗布した後加熱して硬め、固体状の接着剤層である第1層目部分11bを形成した後、（2）更に導電性接着剤ペースト11aを上記はんだバンプ上の導電性硬化物11b上にスクリーン印刷法により塗布して2層目の導電性接着剤層部分11aを形成させる。図8に示す場合には、図8（c）に示すように（1）ペースト状の導電性接着剤11bを上記はんだバンプ4の平坦面4aにスクリーン印刷法により塗布した後加熱して硬め、固体状の接着剤層である第1層目部分11bを形成した後、（2）更に導電性接着剤ペースト11aを配線基板2上の端子電極5上にスクリーン印刷法により塗布して2層目の導電性接着剤層部分11aを形成させる。それ以外の実装方法は図4および図5と同様である。即ち、実装方法の第2の実施例は、導電性接着剤のペースト11bを平坦化済みのはんだバンプ4に塗布・加熱し

て固化して第1層目部分を形成し、更に第2層目の導電性接着剤ペースト11aを前記導電性硬化物11bまたは配線基板2上の端子電極5上に塗布し、上記導電性硬化物11bと配線基板2上の端子電極5とを位置合わせして加熱接続を行うものである。この第2の実施例によれば、第1層目の固化した導電性接着剤層部分により最低限の接続高さ（平坦化する前のはんだバンプの高さ）を保障し、第2層目の導電性接着剤ペーストの粘着力により実装時の位置ずれを防止可能な上、半導体パッケージ10や配線基板2の反り変形を吸収可能な導電性接着剤層部分の厚みまたは形状が容易に得ることができる。また、接続時に加圧を伴う加熱が困難な実装体においても信頼性の高い接続状態を得ることも可能となる。なお、上記第2の実施例の説明では、第1層目の部分を平坦化済みのはんだバンプ4に形成したが、配線基板2上の端子電極5上に形成してもよい。

【0033】次に、実装方法の第2の実施例について図7を用いて具体的に説明する。

【0034】BGAパッケージ10としては、はんだバンプ4のピッチが0.80mm程度、729ボール程度のものを用いた。また、導電性接着剤11a、11bとしては接着剤の基材がポリウレタン系で、長さ10μm程度、直径1μm程度の大きさのフレイク状のAg導電フィラーを分散させた熱可塑性のものを用いた。また、導電性ペースト印刷には、厚さ150μm程度、穴径450μm程度のプラスチックマスク8を用いた。まず、図7（a）（b）に示すように、1mm厚のガラス板7に、BGAパッケージ10のはんだバンプ4の頂点側を下側にして置いた後、フラックス無しでリフロー炉内に搬送し、210℃程度で約60秒の加熱条件でPb-Sn共晶はんだバンプ4の平坦化を行った。その後、図7（c）に示すように、上記プラスチックマスク8により、はんだバンプ4上にペースト状のウレタン系熱可塑性の導電性接着剤をスクリーン印刷して150℃程度で約5min間加熱して有機溶剤を揮発させ、固化し、導電性接着剤の第1層目部分11bを形成した。次に、ペースト状のウレタン系熱可塑性の導電性接着剤を上記導電性接着剤の第1層部分11b上に印刷・転写した。

【0035】その後、図7（d）に示すように、パッケージ1のはんだバンプ4と配線基板2の端子電極5とを位置あわせ搭載して160℃程度で約5min加熱して有機溶剤を揮発させ、固化して仮接続を行った後に、配線基板2側を160℃程度で予熱し、パッケージ10側を160℃程度で、加圧力を8〜32gf/バンプで加圧しながら約75秒間局所加熱することにより接着接続を行った。これらの接続方法によりアンダーフィルなどの接続部の樹脂補強を一切行わずにはんだ接続並の接続抵抗および接続強度を得ることができる。その接続状態の例を図9に示す。図9から明らかなように、熱可塑性の導電性接着剤を用いた場合、実装時には第1層目の部

分と第2層目の部分が一体化してしまうことになる。この状態のバンパ接続によれば、従来のはんだ接続並の3.7mΩ/バンパ程度の初期接続抵抗とほぼ同程度の4.9mΩ/バンパ程度の初期接続抵抗を得ることができた。

【0036】なお、以上の説明においては、半導体パッケージ（多ピンエリアバンパ型パッケージ）として、電極3上にはんだバンパ4を形成した場合について説明したが、CuまたはCu-Ni-Auボールなどのはんだより融点の高い金属ボールからなるエリアバンパを持つボールグリッドアレイ半導体パッケージにも適用することが可能となる。このように金属ボールの場合、高さばらつきが殆どないので、頂上部を平坦にする必要はない。そこで、導電性接着剤11aを配線基板2の端子電極5のみに例えばスクリーン等の印刷によって形成すればよい。

【0037】次に、本発明に係る半導体パッケージ（多ピンエリアバンパ型パッケージ）の実装構造体の第3および第4の実施の形態について図10および図11を用いて説明する。即ち、第3および第4の実施の形態は、第1および第2の実施の形態における半導体パッケージ10のはんだバンパ4の代わりに、可撓性を有する熱硬化性もしくは熱可塑性の導電性接着剤で形成された導電性接着剤バンパ9である。第3の実施の形態は、図10に示すように、未硬化の熱硬化性もしくは熱可塑性の導電性接着剤から成るバンパ9で構成し、第4の実施の形態は、図11に示すように、2層以上の性質の異なる導電性接着剤層から成るバンパ9、6cを形成した構造にすることもできる。そのような形態の場合、上記半導体パッケージ本体1において、パッケージ側のベース基板1bの入出力パッドに十分な接続高さを確保できるバンパ高さであること、例えば1.27mmボールピッチBGAの場合は600から700μm程度となることが望ましい。第3の実施の形態における導電性接着剤バンパ9の形成法としては、複数の金属パッド3を有する半導体パッケージ本体1において、パッケージの金属パッド3上のみスクリーン印刷法等により熱硬化性もしくは熱可塑性の導電性接着剤による固体状のバンパ9を形成するものである。第4の実施の形態における導電性接着剤バンパ9の形成法としては、複数の金属パッド3を有する半導体パッケージ本体1において、パッケージの金属パッド3上のみスクリーン印刷法等により熱硬化性もしくは熱可塑性の導電性接着剤による固体状のバンパ9を形成し、更にそのバンパ9上のみ導電性接着剤層6cをスクリーン印刷法等により塗布・形成するものである。以上説明したように、第3および第4の実施の形態によれば、特にパッケージ加圧加熱による接続が困難なパッケージのリワークも可能となる。

【0038】また、以上説明したように、第1～第4の実施の形態によれば、BGA等の多ピンエリアバンパ型

パッケージ10のはんだバンパ4を平坦化し、はんだ平坦面4a上または／および配線基板2の端子電極5上に導電性接着剤層部分6を形成させ、上記半導体パッケージのはんだバンパ4と配線基板の端子電極5とを位置合わせして搭載後、加熱接続することにより、はんだの融点以下でのパッケージ接続およびリワークが可能となり、しかも導電性接着剤層部分6の形状を、はんだバンパの平坦面4aおよび側面双方を覆う形状とすることにより、アンダーフィルなどの接続部の樹脂補強を行わないうで、はんだ接続並の接続強度や接続抵抗を得ることができる。なお、リワーク（パッケージ交換）するために、実装されている半導体パッケージ21（10）を外す際、導電性接着剤層部分6aが熱可塑性の場合には、接着剤の基材を溶融させるように加熱して接着力を著しく低下させ、導電性接着剤層部分6aが熱硬化性の場合には、基材の温度がガラス転移点（約130℃）を越えるように加熱して接着力を著しく低下させることにより、容易に所望の半導体パッケージ21（10）におけるはんだバンパ4と端子電極5間の接続部の剥がしが可能となる。次に、新たな半導体パッケージを取り付ける際、導電性接着剤層部分が熱可塑性の場合には、その剥がしたままの状態、導電性接着剤層部分6を形成した新たな半導体パッケージ10の平坦化されたはんだバンパ4と配線基板の端子電極5とを位置合わせして搭載後、加熱接続することにより取り付けることが可能となる。また、新たな半導体パッケージを取り付ける際、導電性接着剤層部分が熱硬化性の場合には、剥がした端子電極の群の表面を熱硬化性接着剤が残らないように洗浄する必要がある。

【0039】以上説明した実施の形態によれば、はんだバンパ頂上部を平坦化する実装構造とすることにより、BGAパッケージの接続時の高さばらつきを低減することができる。また、はんだバンパ平坦面を形成することによりはんだバンパ上への導電性接着剤層部分の形成を容易にし、接着接続面積のばらつきを低減できる。その結果、導電性接着剤による接続時に均一な接続状態を安定して得ることが可能となる。また、はんだバンパと端子電極との間に形成された導電性接着剤層部分は高い可撓性を有するため、半導体パッケージを加熱および加圧加熱接続する際に発生する発生する反りや歪みを吸収することができ、熱応力を緩和させることが可能となり、接続信頼性を向上させることができる。また、導電性接着剤層部分がはんだバンパの平坦面のみでなく、はんだバンパの側面も覆う形状とすることにより、より接続抵抗・耐温度サイクル性などの接続信頼性を向上させることが可能となる。

【0040】

【発明の効果】本発明によれば、エリアバンパを持つBGAパッケージやCSP等の多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に高い接続



信頼性をもって低温接続実装を可能にしてリワーク（パッケージ交換）を容易にした半導体パッケージの実装構造体を実現することができる効果を奏する。また、本発明によれば、エリアバンパを持つBGAパッケージやCSP等の多ピンエリアバンパ型パッケージを、複数の端子電極を有する配線基板に高い接続信頼性をもって接続実装を可能にした半導体パッケージの実装構造体を実現することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体パッケージの実装構造体の第1の実施の形態を示す断面図である。

【図2】本発明に係る半導体パッケージの実装構造体の第1の実施の形態における接続部付近を拡大して示した断面図である。

【図3】本発明に係る半導体パッケージの実装構造体の全体を示す斜視図である。

【図4】本発明に係る実装方法の第1の実施例を説明するための概略説明図である。

【図5】本発明に係る実装方法の第1の実施例を説明するための概略説明図である。

【図6】本発明に係る半導体パッケージの実装構造体の

第2の実施の形態を示す断面図である。

【図7】本発明に係る実装方法の第2の実施例を説明するための概略説明図である。

【図8】本発明に係る実装方法の第2の実施例を説明するための概略説明図である。

【図9】0.8mmピッチ/729ボールのBGA接続断面を示す図である。

【図10】本発明に係る半導体パッケージの実装構造体の第3の実施の形態を示す断面図である。

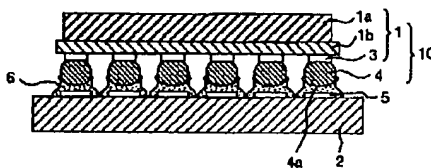
【図11】本発明に係る半導体パッケージの実装構造体の第4の実施の形態を示す断面図である。

【符号の説明】

1…多ピンエリアバンパ型パッケージ本体、2…配線基板、3…金属パッド、4…はんだバンパ、5…端子電極、6、6a、6b、6c…導電性接着剤層部分、7…定板、8…メタルマスク（印刷用マスク）、9…導電性接着剤バンパ（固体状のバンパ）、10…多ピンエリアバンパ型パッケージ（半導体パッケージ）、11a…導電性接着剤（接着剤ペースト）、11b…導電性接着剤（接着剤ペースト）、21、22、23…半導体パッケージ。

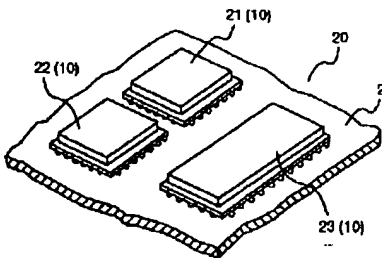
【図1】

図 1



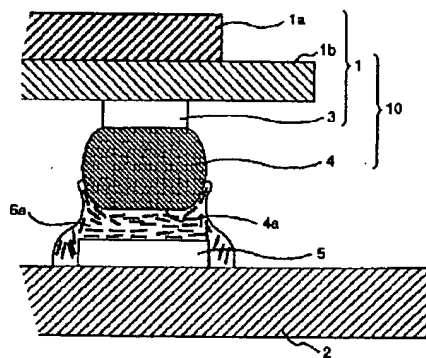
【図3】

図 3



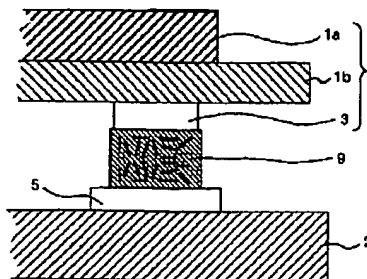
【図2】

図 2



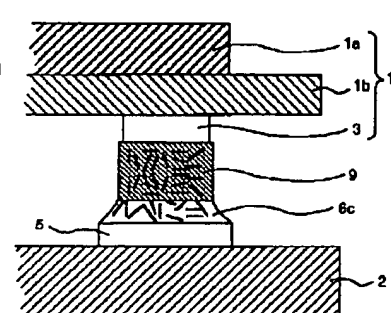
【図10】

図 10



【図11】

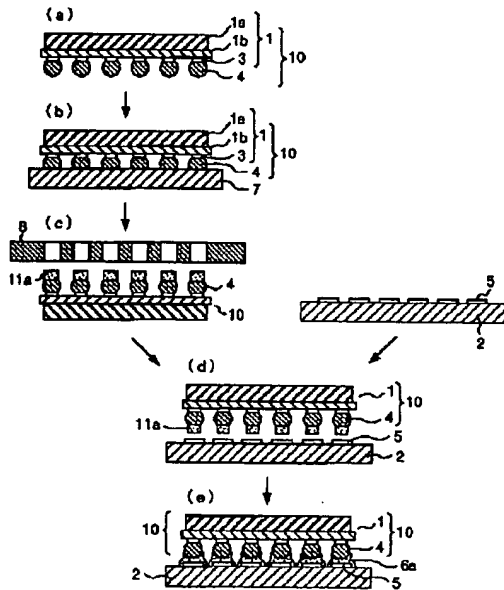
図 11





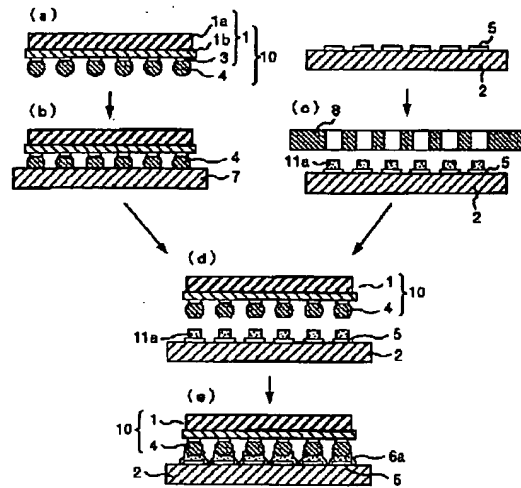
【図4】

図 4



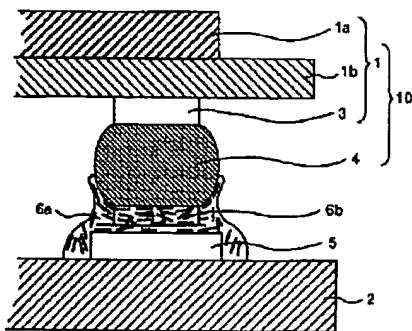
【図5】

図 5



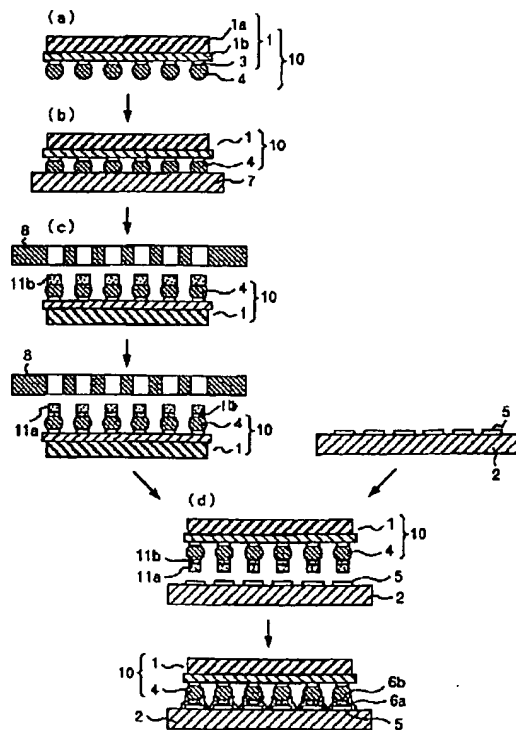
【図6】

図 6



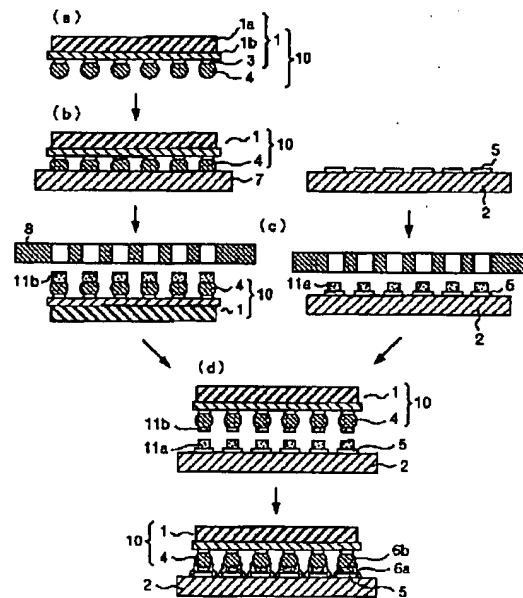
【図7】

図 7



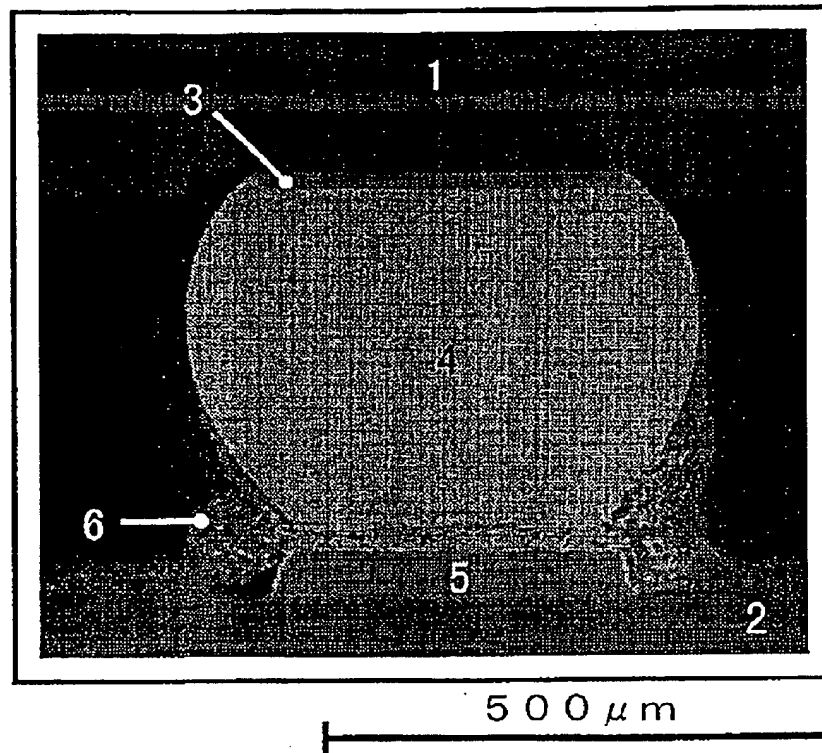
【図8】

図 8



【図9】

図 9



フロントページの続き

(72)発明者 宝蔵寺 裕之  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内  
(72)発明者 佐藤 正昭  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 坂上 雅一  
神奈川県海老名市下今泉810番地 株式会  
社日立製作所デジタルメディアシステム事  
業部内  
Fターム(参考) 5E319 AA03 AB05 BB04 BB11 CD04  
5F044 LL07 QQ02 QQ03

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**